

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269510

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 29/786
G02F 1/1368
H01L 21/318
H01L 27/146

(21)Application number : 11-372013

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 28.12.1999

(72)Inventor : YAMAZAKI SHUNPEI
ASAMI TAKEOMI
TAKAYAMA TORU
KAWASAKI RITSUKO
ADACHI HIROKI
ARAI YASUYUKI
SAKAMOTO NAOYA
HAYAKAWA MASAHIKO

(30)Priority

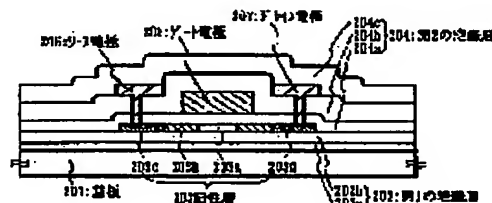
Priority number : 10377418
11008494Priority date : 29.12.1998
14.01.1999Priority country : JP
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease a bulk defective density or interface defective density formed in a crystalline structure semiconductor layer by a method wherein a tensile stress is given to a thin film formed at a substrate side with respect to a crystalline structure semiconductor film, and also a compressive stress is given to the thin film formed at a side opposite to the substrate side.

SOLUTION: A first insulation film 202 is formed on a substrate 201 having an insulated surface. Here, a nitrogen-rich nitric silicon oxide film 202a has a tensile stress. A silicon oxide film 204b and a nitric silicon oxide film 204c are formed on a gate insulation film 204a on an active layer 203. A nitric content of the nitric silicon oxide film 204 is set to be 5 atomic mass to 25 atomic mass, and has a compressive stress. Accordingly, the nitrogen-rich nitric silicon oxide film 202a and the nitric silicon oxide film 204c are structured so as to apply a stress on the active layer 203. With this structure, it is possible to decrease effectively a defective density.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-269510
(P2000-269510A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) IntCl ⁷	識別記号	F I	ターミナル (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 2 6 C
G 0 2 F 1/1368		21/318	C
H 0 1 L 21/318		G 0 2 F 1/136	5 0 0
27/146		H 0 1 L 27/14	C
		29/78	6 1 7 T
審査請求 未請求 請求項の数23 O L (全 31 頁) 最終頁に続く			

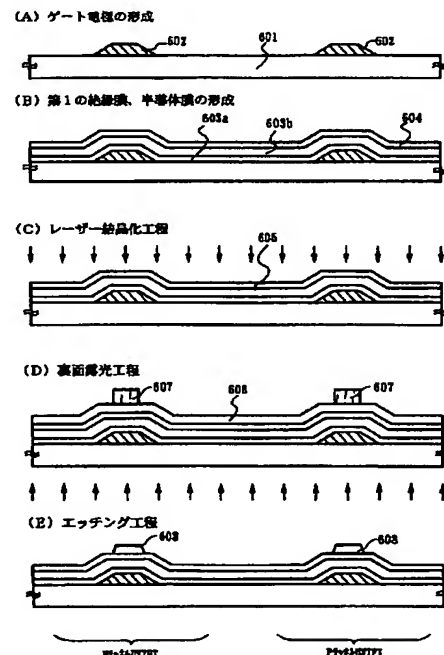
(21) 出願番号	特願平11-372013	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成11年12月28日 (1999.12.28)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願平10-377418	(72) 発明者	浅見 勇臣 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成10年12月29日 (1998.12.29)	(72) 発明者	高山 徹 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平11-8494		
(32) 優先日	平成11年1月14日 (1999.1.14)		
(33) 優先権主張国	日本 (J P)		
		最終頁に続く	

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 第1の絶縁層と結晶質半導体層と第2の絶縁層とを積層して成る半導体装置において応力バランスを考慮した構成として特性の向上を図る。

【解決手段】 基板上に、引張り応力を有する結晶質半導体層を活性層とする半導体装置において、前記半導体層の基板側の表面に設けられる第1の絶縁層に引張り応力を付与し、前記半導体層の基板側とは反対側の表面に設けられる第2の絶縁層に圧縮応力を有するものを適用する。



【特許請求の範囲】

【請求項 1】基板上に形成された島状半導体膜より成る活性層と、

前記活性層と前記基板との間に設けられ、含有窒素濃度が含有酸素濃度よりも大きい第 1 の酸化窒化シリコン膜と、含有窒素濃度が含有酸素濃度よりも小さい第 2 の酸化窒化シリコン膜とを有する第 1 の絶縁層と、

前記活性層の前記基板とは反対側の表面に接して設けられ、含有窒素濃度が含有酸素濃度よりも小さい第 3 の酸化窒化シリコン膜を有する第 2 の絶縁層とを備えたことを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記活性層は引張り応力を有し、

前記第 1 の酸化窒化シリコン膜は、引張り応力を有し、かつ、前記第 3 の酸化窒化シリコン膜は、圧縮応力を有していることを特徴とする半導体装置。

【請求項 3】請求項 1 において、

前記第 1 の酸化窒化シリコン膜の含有窒素濃度が、25 atomic%以上 50 atomic%未満であり、前記第 2 の酸化窒化シリコン膜の含有窒素濃度が、5 atomic%以上 25 atomic%未満であることを特徴とする半導体装置。

【請求項 4】基板上に形成された島状半導体膜を活性層として、

前記活性層と前記基板との間に設けられ複数の絶縁膜を有する第 1 の絶縁層と、

前記活性層の前記基板とは反対側の表面に接して設けられた第 2 の絶縁層とを備えた半導体装置であって、前記活性層は引張り応力を有し、前記第 1 の絶縁層の少なくとも一つの絶縁膜は引張り応力を有していることを特徴とする半導体装置。

【請求項 5】基板上に形成された島状半導体膜を活性層として、前記活性層と前記基板との間に設けられた第 1 の絶縁層と、前記活性層の前記基板とは反対側に接して設けられ複数の絶縁膜を有する第 2 の絶縁層とを備えた半導体装置であって、

前記活性層は引張り応力を有し、前記第 2 の絶縁層の少なくとも一つの絶縁膜は圧縮応力を有していることを特徴とする半導体装置。

【請求項 6】基板上に形成された島状半導体膜を活性層として、前記活性層と基板との間に設けられ複数の絶縁膜を有する第 1 の絶縁層と、前記活性層の前記基板とは反対側に接して設けられ複数の絶縁膜が積層された第 2 の絶縁層とを備えた半導体装置であって、前記活性層は引張り応力を有し、前記第 1 の絶縁層の少なくとも一つの絶縁膜は引張り応力を有し、前記第 2 の絶縁層の少なくとも一つの絶縁膜は圧縮応力を有していることを特徴とする半導体装置。

【請求項 7】基板上に形成された島状半導体膜を活性層として、前記活性層と基板との間に設けられ複数の絶縁膜を有する第 1 の絶縁層と、前記第 1 の絶縁層を介して

前記活性層に電圧を印加する電極と、前記活性層の前記基板とは反対側に接して設けられ複数の絶縁膜が積層された第 2 の絶縁層とを備えた半導体装置であって、前記活性層は引張り応力を有し、前記第 1 の絶縁層の少なくとも一つの絶縁膜は引張り応力を有し、前記第 2 の絶縁層の少なくとも一つの絶縁膜は圧縮応力を有していることを特徴とする半導体装置。

【請求項 8】基板上に形成された島状半導体膜を活性層として、前記活性層と基板との間に設けられ複数の絶縁膜を有する第 1 の絶縁層と、前記活性層の前記基板とは反対側に接して設けられ複数の絶縁膜が積層された第 2 の絶縁層と、前記第 2 の絶縁層を介して前記活性層に電圧を印加する電極とを備えた半導体装置であって、前記活性層は引張り応力を有し、前記第 1 の絶縁層の少なくとも一つの絶縁膜は引張り応力を有し、前記第 2 の絶縁層の少なくとも一つの絶縁膜は圧縮応力を有していることを特徴とする半導体装置。

【請求項 9】請求項 4 乃至請求項 8 のいずれか一項において、前記第 1 の絶縁層が、窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜、から選ばれた複数の層から形成されていることを特徴とする半導体装置。

【請求項 10】請求項 4 乃至請求項 8 のいずれか一項において、前記第 2 の絶縁層が、窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜、から選ばれた複数の層から形成されていることを特徴とする半導体装置。

【請求項 11】基板上に薄膜トランジスタを少なくとも有する半導体装置において、前記薄膜トランジスタは、結晶質半導体から成る活性層と、前記活性層と前記基板との間に設けられ、含有窒素濃度が含有酸素濃度よりも大きい第 1 の酸化窒化シリコン膜と、含有窒素濃度が含有酸素濃度よりも小さい第 2 の酸化窒化シリコン膜とを有する第 1 の絶縁層と、

前記活性層の前記基板とは反対側に接して設けられ、含有窒素濃度が含有酸素濃度よりも小さい第 3 の酸化窒化シリコン膜を有する第 2 の絶縁層と、前記第 3 の酸化窒化シリコン膜上に形成されたゲート電極とを備え、前記活性層は引張り応力を有し、前記第 1 の酸化窒化シリコン膜は引張り応力を有し、かつ、前記第 3 の酸化窒化シリコン膜は圧縮応力を有することを特徴とする半導体装置。

【請求項 12】請求項 1 乃至請求項 11 のいずれか一項において、前記半導体装置は、液晶表示装置、EL 表示装置、またはイメージセンサであることを特徴とする半導体装置。

【請求項 13】請求項 1 乃至請求項 12 のいずれか一項において、前記半導体装置は、携帯電話、ビデオカメラ、携帯型情報端末、ゴーグル型ディスプレイ、プロジェクター、電子書籍、パーソナルコンピュータ、DVD

プレーヤー、デジタルカメラから選ばれた一つであることを特徴とする半導体装置。

【請求項 14】基板上に引張り応力を有する島状半導体膜から成る活性層を形成する工程と、前記活性層と基板との間に引張り応力を有する第 1 の絶縁層を形成する工程と、
前記活性層の前記基板とは反対側に圧縮応力を有する第 2 の絶縁層を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 15】基板上に半導体膜を形成する工程と、前記半導体膜と前記基板との間に第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層と前記半導体膜とに加熱処理を加えて引張り応力を付与する工程と、
前記半導体膜を分割し島状半導体膜から成る活性層を形成する工程と、
前記活性層の前記基板とは反対側に圧縮応力を有する第 2 の絶縁層を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 16】基板上に引張り応力を有する島状半導体膜から成る活性層を形成する工程と、
前記活性層と前記基板との間に引張り応力を有する第 1 の絶縁層を形成する工程と、
前記活性層の前記基板とは反対側に圧縮応力を有する第 2 の絶縁層を形成する工程と、
前記活性層の前記基板とは反対側に設けた絶縁膜を介して前記活性層に所定の電圧を印加する電極を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 17】基板上に引張り応力を有する島状半導体膜から成る活性層を形成する工程と、
前記活性層の前記基板との間に引張り応力を有する第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層と前記基板との間に前記活性層に所定の電圧を印加する電極を形成する工程と、
前記活性層の前記基板とは反対側に圧縮応力を有する第 2 の絶縁層を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 18】基板上に引張り応力を有する島状半導体膜から成る活性層を形成する工程と、
前記活性層と前記基板との間に引張り応力を有する第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層と前記基板との間に前記活性層に所定の電圧を印加する電極を形成する工程と、
前記活性層の前記基板とは反対側に圧縮応力を有する第 2 の絶縁層を形成する工程と、
前記活性層の前記基板とは反対側に設けた絶縁膜を介して前記活性層に所定の電圧を印加する電極を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 19】請求項 14 乃至請求項 18 のいずれか一項において、前記第 1 の絶縁層は、含有窒素濃度が、2

5 atomic% 以上 50 atomic% 未満の酸化窒化シリコン膜を有し、前記第 2 の絶縁層は、含有窒素濃度が、5 atomic% 以上 25 atomic% 未満の酸化窒化シリコン膜を有することを特徴とする半導体装置の作製方法。

【請求項 20】請求項 14 乃至請求項 18 のいずれか一項において、前記第 1 の絶縁層が、窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜、から選ばれた複数の層で形成することを特徴とする半導体装置の作製方法。

10 【請求項 21】請求項 14 乃至請求項 18 のいずれか一項において、前記第 2 の絶縁層が、窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜、から選ばれた複数の層で形成することを特徴とする半導体装置の作製方法。

【請求項 22】請求項 14 乃至請求項 21 のいずれか一項において、前記半導体装置は、液晶表示装置、EL 表示装置、またはイメージセンサであることを特徴とする半導体装置の作製方法。

20 【請求項 23】請求項 14 乃至請求項 22 のいずれか一項において、前記半導体装置は、携帯電話、ビデオカメラ、携帯型情報端末、ゴーグル型ディスプレイ、プロジェクター、電子書籍、パーソナルコンピュータ、DVD プレーヤー、デジタルカメラから選ばれた一つであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に薄膜トランジスタを用いた集積回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置およびその電気光学装置を搭載した電子機器の構成に関する。

30 【0002】

【従来の技術】基板上に TFT（薄膜トランジスタ）を多数個配列させて、アクティブマトリクス型液晶表示装置に代表される半導体装置が開発されている。TFT は少なくとも島状半導体膜から成る活性層と、該活性層の基板側に設けられた第 1 の絶縁層と、該活性層の基板側とは反対側に設けられた第 2 の絶縁層とが積層された構造を有していた。或いは、第 1 の絶縁層を省略して、活性層と、該活性層の基板側とは反対側の表面に密接して設けられた第 2 の絶縁層とが積層された構造を有していた。

【0003】前記第 1 の絶縁層を介して、活性層に所定の電圧を印加するようにゲート電極を設けた構造は、逆スタガ型もしくはボトムゲート型と呼ばれている。一方、前記第 2 の絶縁層を介して、活性層に所定の電圧を印加するようにゲート電極を設けた構造は、順スタガ型もしくはトップゲート型と呼ばれている。

50 【0004】TFT に用いられる半導体膜は、非晶質半導体をはじめ、高移動度が得られる結晶質半導体が適し

ていると考えられている。ここで、結晶質半導体とは、単結晶半導体、多結晶半導体、微結晶半導体を含むものである。また、絶縁層は、代表的には酸化シリコン、窒化シリコン、窒酸化シリコンなどの材料で形成されている。

【0005】また、前記半導体層の一例として、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体が知られている。

【0006】ところで、CVD（化学的気相成長法）、スパッタ法、真空蒸着法などの公知の成膜技術で作製される前記材料の薄膜には内部応力があることが知られていた。内部応力はさらにその薄膜が本来もつ真性応力と、薄膜と基板との熱膨張係数の差に起因する熱応力とに分離して考えられていた。熱応力は基板の熱膨張係数やTFTの作製工程のプロセス温度を管理することによりその影響を無視することもできたが、真性応力の発生メカニズムは必ずしも明確にはされておらず、薄膜の成長過程やその後の熱処理などによる相変化や組成変化が複雑に絡み合っているものと考えられていた。

【0007】一般的に、内部応力は図3に示すように、基板に対して薄膜が収縮しようとするときには、基板はその影響を受けて薄膜を内側にして変形するのでこれを引張り応力と呼んでいる。一方、薄膜が伸張しようとするときには、基板は押し縮められて薄膜を外側にして変形するのでこれを圧縮応力と呼んでいる。このように便宜上内部応力の定義は基板を中心として考えられていた。本明細書でも内部応力はこの定義に従って記述する。

【0008】非晶質半導体膜から熱アニール法やレーザアニール法などの方法で作製される結晶質半導体膜は、結晶化の過程で体積収縮が起こることが知られていた。その割合は非晶質半導体膜の状態にもよるが、0.1~10%程度であるとされていた。その結果、結晶質半導体膜には引張り応力が発生し、その大きさは約 1×10^9 Paに及ぶこともあった。また、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜などの絶縁膜の内部応力は、膜の作製条件やその後の熱処理の条件によって圧縮応力から引張り応力までさまざまに変化することが知られていた。

【0009】

【発明が解決しようとする課題】超LSIの技術分野では素子の不良をもたらす原因の一つとして応力の問題が指摘されていた。集積度の向上と共に必然的に局所的な応力の影響が無視できないものとなっていた。例えば、応力が集中する領域に重金属不純物が捕捉されて各種の不良モードを引き起こしたり、応力を緩和するために発生した転位も素子の特性を劣化させる要因であると考えられていた。

【0010】しかしながら、半導体膜や絶縁膜などの複数の薄膜を積層して形成されるTFTに関しては、それぞれの薄膜の内部応力が相互に作用してもたつた影響についてまだ十分解明されていないものであった。

【0011】TFT特性を表す特性パラメータは幾つかあるが、その性能の良さは電界効果移動度が一つの目安とされている。そして、高い電界効果移動度の実現を目標として、TFTの構造やその製造工程は理論的解析と経験的側面から注意深く検討されてきた。特に重要な要因は半導体層中のバルク欠陥密度や、半導体層と絶縁層との界面における界面準位密度を可能な限り低減させることが必要であると考えられていた。

【0012】本発明者は、結晶質半導体層に形成されるバルク欠陥密度や界面欠陥密度を低減するためには、TFTの作製条件を最適化するのみでなく、それぞれの薄膜の内部応力を考慮して、その応力バランスをとりながら欠陥密度を低減させることが課題であると考えた。本発明は上記のような問題点を解決し、結晶質半導体層に対して歪みを発生させることなく、バルク欠陥密度や界面欠陥密度を低減させたTFTを実現することを目的としている。

【0013】

【課題を解決するための手段】前述のように、非晶質半導体膜から作製される結晶質半導体膜には引張り応力が内在していた。このような結晶質半導体膜を活性層としたTFTにおいて、結晶質半導体膜に対して歪みを発生させることなくゲート絶縁膜や他の絶縁膜および導電性膜を積層させるには、応力バランスを考慮することが必要であった。

【0014】ここで考慮されるべき応力バランスとは、積層されるそれぞれの薄膜の内部応力を相殺して合成応力をゼロにするというものでなく、引張り応力を有する結晶質半導体膜を中心にして、その結晶質半導体膜に歪みを発生させない方向にその他の内部応力が内在する薄膜を積層させるものである。

【0015】図4は本発明の概念を説明するものである。引張り応力を有する結晶質半導体膜に対して、その結晶質半導体膜の基板側に設ける薄膜は引張り応力を有していることが望ましいと考えた（図4（B））。一方、結晶質半導体膜の基板側とは反対側の表面に設ける薄膜には圧縮応力を持たせると良いと考えた（図4（A））。いずれにしても結晶質半導体膜が収縮しようとするとき、これを引き伸ばす方向に応力が作用すれば結晶粒界に歪みが生じ、マイクロクラックが形成されることが予想された。このような場合、その領域には転位や結晶欠陥が生成され、不対結合手が多数形成されるものであった。従って、結晶質半導体膜に対して基板側に設ける薄膜には引張り応力をもたせることで、結晶質半導体層が収縮しようとするのと同じ方向に応力を付与することができた。これとは反対に、結晶質半導体膜に対

して基板側とは反対側に設ける薄膜には圧縮応力をもたせることで、該結晶質半導体層が収縮しようとするのと同じ方向に応力を付与することができた。即ち、結晶質半導体膜を収縮させる方向に他の薄膜から応力が付与される構成とすることではじめて欠陥密度を有効に低減させることができた。

【0016】薄膜の内部応力を制御するには作製条件やその後の熱処理条件を考慮すれば良かった。例えば、プラズマCVD法で作製される窒化酸化シリコン膜は、窒素と酸素の組成比や含有水素量を変化させることで圧縮

応力から引張り応力まで変化させることが可能であった。また、プラズマCVD法で作製される窒化シリコン膜はその成膜速度を変化させることにより内部応力の大きさを変化させることができた。

【0017】さらに、応力バランスを考慮する上で重要なことは、TFTの製作工程全体を通しての温度管理であった。プラズマCVD法やスパッタ法で作製される薄膜は、初期状態で所定の内部応力を有していても、その後の工程における基板加熱温度によってまったく反対方向の内部応力に変化してしまうことがあった。また、逆にこの性質を利用して内部応力を変化させることも可能であった。例えば、圧縮応力を持つ窒化シリコン膜に対し、300℃以上の温度で熱処理を加えると引張り応力に変化させることもできた。

【0018】そして、基板上に形成された島状半導体膜から成る活性層の基板側に設けられた第1の絶縁層を介して活性層に所定の電圧を印加するようにゲート電極を設ければ、逆スタガ型またはボトムゲート型のTFTを形成することができた。また、活性層の基板側とは反対側に設けられた第2の絶縁層を介して活性層に所定の電圧を印加するようにゲート電極を設ければ順スタガ型またはトップゲート型のTFTを形成することができた。

【0019】第1の絶縁層または第2の絶縁層に使用される絶縁膜の材料は特に限定されるものではないが、内部応力をなんらかの形で制御することが必要であった。そのためには、窒化シリコン膜、酸化窒化シリコン膜、酸化シリコン膜、酸化タンタル膜などが適してした。窒化シリコン膜の作製方法に限定はないが、例えばプラズマCVD法で作製する場合には、SiH₄、N

H₃、N₂、H₂の混合ガスで作製することができる。そ

*して、ガスの混合比や放電電力密度を変えることにより成膜速度の異なる条件で窒化シリコン膜を作製することができた。内部応力の測定器は、Ionic System社製のModel-30114を使用した。測定はシリコンウェハー上に作製した試料を用いた。

【0020】内部応力の値は、引張り応力を正の値で示し、圧縮応力を負の値で示し区別する。図17のデータは、成膜時の基板温度を400℃として、異なる成膜速度で作製された窒化シリコン膜は、いずれも圧縮応力を有していたが、500℃で1時間の熱処理を加えると、引張り応力に変化させることができた。このような変化は、成膜時の基板温度よりも高い温度で熱処理したときに実現し、窒化シリコン膜の緻密化が原因であると考えられた。従って、窒化シリコン膜は圧縮応力を有する膜と引張り応力を有する膜の両方を作製することが可能であった。

【0021】また、酸化窒化シリコン膜は、プラズマCVD法を用い、SiH₄、N₂Oの混合ガスから作製した。ここでもガスの混合比や放電電力密度を変えることにより、成膜速度を異ならせて酸化窒化シリコン膜を作製することができた。図18は基板温度400℃で作製された酸化窒化シリコン膜の内部応力の値を示す。成膜速度が異なるそれぞれの試料において、いずれも圧縮応力を有していた。さらに、450℃で4時間の熱処理を加えても、圧縮応力の絶対値は小さくなるものの、やはりその状態は保持されたままであった。

【0022】また、図19の特性は、同様に酸化窒化シリコン膜の内部応力のデータであるが、SiH₄、N₂OにさらにNH₃を混合して作製された酸化窒化シリコン膜のデータを示している。成膜時においてNH₃ガスを添加していくと、圧縮応力から引張り応力側に特性が変化した。さらに、試料に550℃で4時間の加熱処理を加えると引張り応力を大きくすることができた。このような応力の変化は、酸化窒化シリコン膜中の窒素濃度と酸素濃度の組成比の変化に対応していた。表1にラザフォード後方散乱法(RBS)で酸化窒化シリコン膜中の各元素濃度を測定した結果を示す。

【0023】

【表1】

	条 件	含有量(atomic%)			
		H	N	O	Si
サンプル-1	NH ₃ =0 SCCM	1.5	7.0	59.5	32.0
サンプル-2	NH ₃ =30 SCCM	16.5	24.0	26.5	33.0
サンプル-3	NH ₃ =100 SCCM	15.5	44.1	6.0	34.4

【0024】酸化窒化シリコン膜の窒素と酸素の含有量がそれぞれ7atomic%、59.5atomic%であるのに対し、成膜時にNH₃ガスを30SCCM添加することによって窒素含有量と酸素含有量をそれぞれ24.0atomic

%、26.5atomic%とすることができた。また、NH₃ガスを100SCCM添加することによって窒素含有量と酸素含有量をそれぞれ44.1atomic%、6.0atomic%とすることができた。すなわち、NH₃ガスを添加す

ることにより酸化窒化シリコン膜中の窒素濃度を増加させ酸素濃度を低減させることができた。このとき圧縮応力から引張り応力に変化させることができた。NH₃ガスを添加して得られた種々の酸化窒化シリコン膜についてその組成を調べたところ、いずれもシリコンが約34 atomic%、水素が約16 atomic%、そして窒素と酸素の合計が約50 atomic%といった割合であった。そして窒素濃度が25 atomic%以上50 atomic%未満のものは明らかに引張り応力を有し、5 atomic%以上25 atomic%未満のものは圧縮応力を示していた。また、熱処理による内部応力の変化は、図20に示すように膜中の含有水素量変化と関連付けて考えることができた。図20のデータはNH₃ガスを添加して作製された酸化窒化シリコン膜の含有水素濃度をFT-IRで測定した結果を示している。500℃で1時間の熱処理ではシリコンに結合した水素が優先的に放出されている。この傾向は膜作製時の基板温度（図20の各グラフの右上に表記したTsubを参照）が低い程顕著に表れている。シリコンと結合した水素が放出されることにより不對結合手ができ、その不對結合手の相互作用（引力）により引張り応力が強められていることが予想される。このように、膜中の水素濃度を低減させることによって内部応力を変化させることが可能であった。

【0025】このように、成膜速度を制御したり、成膜時の基板温度よりも高い温度熱処理を加えたり、或いは成膜条件を制御して膜の組成を変化させることにより内部応力を制御することができた。TFTは周知の如く薄膜の形成とエッチング処理を繰り返して完成されるものであるが、ここで重要なことはその作製工程全般に渡ってのプロセス温度の管理であった。そして、積層される薄膜の内部応力を考慮してプロセスの最高温度を決めればよかった。

【0026】以上のように、本発明は基板上に形成された島状半導体膜を活性層として、前記活性層と基板との間に設けられ、含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜とを有する第1の絶縁層と、前記活性層の基板とは反対側の表面に接して設けられ、含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜を有する第2の絶縁層とを備えたことを特徴としている。

【0027】前記活性層は引張り応力を有し、前記第1の絶縁層の含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜は引張り応力を有し、かつ、前記第2の絶縁層の、含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜は圧縮応力を有していることを特徴としている。前記第1の絶縁層と前記半導体層との引張り応力の絶対値の差、または、前記第2の絶縁層の圧縮応力と、前記半導体層の引張り応力との絶対値の差が、 5×10^8 Pa以内であることが望ましい。

【0028】また、前記含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜の含有窒素濃度は25 atomic%以上50 atomic%未満であり、前記含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜の含有窒素濃度は5 atomic%以上25 atomic%未満であることを特徴としている。

【0029】

【発明の実施の形態】【実施形態1】本発明の実施形態を図1を用いて説明する。図1の(A)から(C)において、絶縁表面を有する基板101上に第1の絶縁層102が形成されている。第1の絶縁層102は基板側から含有窒素濃度が25 atomic%以上50 atomic%未満の窒素リッチな酸化窒化シリコン膜102aと、含有窒素濃度が5 atomic%以上25 atomic%未満の酸化窒化シリコン膜102bにより形成されている。窒素リッチな酸化窒化シリコン膜102aは 5×10^8 Pa以上 2×10^9 Paの引張り応力を有している。また、酸化窒化シリコン膜102bは 5×10^8 Pa以下の圧縮応力を有した膜であり、窒素リッチな酸化窒化シリコン膜102aと活性層103の間に設けることにより幾分応力の作用を緩和するために設けられている。

【0030】活性層103は非晶質半導体膜をレーザーアニール法や熱アニール法などの方法で作製された結晶質半導体膜であり、詳細な作製方法に限定されるものではないが必然的に引張り応力を有している。そして、必要に応じてチャネル形成領域103a、LDD領域103b、ソース領域103c、ドレイン領域103dが設けられている。ソース電極106とドレイン電極107は、第2の絶縁層104の一部にコンタクトホールを形成して設けられている。

【0031】第2の絶縁層104は活性層103上に積層されるが、図1で示すようなトップゲート型のTFTの場合、ゲート絶縁膜104aが最初に設けられ、これは含有窒素濃度が5 atomic%以上25 atomic%未満の酸化窒化シリコン膜で形成される。この上にゲート電極が所定の位置に設けられる。

【0032】図1(A)は、この上に窒化シリコン膜104bと酸化シリコン膜104cを形成したものである。窒化シリコン膜104bには圧縮応力を付与すべく成膜速度を制御して形成した。この膜の圧縮応力は $-2 \times 10^8 \sim -1 \times 10^9$ Paの範囲であった。

【0033】図1(B)は、ゲート絶縁膜104aの上に酸化シリコン膜104d、窒化シリコン膜104eを形成した構成を示す。酸化シリコン膜104dは 5×10^8 Pa以下の応力であり、この上に形成した窒化シリコン膜104eによって圧縮応力を加えても良い。

【0034】図1(C)は、ゲート絶縁膜104aの上に窒化シリコン膜104f、酸化シリコン膜104g、窒化シリコン膜104h、酸化窒化シリコン膜104iを形成した構成を示す。圧縮応力は窒化シリコン膜10

4 f、1 0 4 hと、含有窒素濃度が5 atomic%以上2 5 atomic%未満の酸化窒化シリコン膜1 0 4 iとが有している。ソース電極1 0 6とドレイン電極1 0 7上に圧縮応力を有する膜を設けることにより、活性層1 0 3により効果的に応力を付与することができた。

【0 0 3 5】【実施形態2】本発明の実施形態を図2を用いて説明する。図2の(A)から(D)において、絶縁表面を有する基板2 0 1上に第1の絶縁層2 0 2が形成されている。そして実施形態1と同様に含有窒素濃度が2 5 atomic%以上5 0 atomic%未満の窒素リッチな酸化窒化シリコン膜2 0 2 aと、含有窒素濃度が5 atomic%以上2 5 atomic%未満の酸化窒化シリコン膜2 0 2 bが設けられている。窒素リッチな酸化窒化シリコン膜2 0 2 aは引張り応力を有している。活性層2 0 3は非晶質半導体膜をレーザーアニール法や熱アニール法などの方法で作製された結晶質半導体膜であり、必要に応じてチャネル形成領域2 0 3 a、LDD領域2 0 3 b、ソース領域2 0 3 c、ドレイン領域2 0 3 dが設けられている。ソース電極2 0 6とドレイン電極2 0 7は、第2の絶縁層2 0 4の一部にコンタクトホールを形成して設けられている。第2の絶縁層2 0 4は活性層2 0 3上に積層されるが、図2で示すようなトップゲート型のTFTの場合、ゲート絶縁膜2 0 4 aが最初に設けられ、含有窒素濃度が5 atomic%以上2 5 atomic%未満の酸化窒化シリコン膜で形成される。この上にゲート電極が所定の位置に設けられる。

【0 0 3 6】図2(A)は、ゲート絶縁膜2 0 4 a上に酸化シリコン膜2 0 4 bと酸化窒化シリコン膜2 0 4 cを形成したものである。酸化窒化シリコン膜2 0 4 cは含有窒素濃度が5 atomic%以上2 5 atomic%未満として圧縮応力を有せしめた。従って、窒素リッチな酸化窒化シリコン膜2 0 2 aと酸化窒化シリコン膜2 0 4 cとから応力が活性層2 0 3に印加される構成となっている。ここでは、ソース電極2 0 6とドレイン電極2 0 7上に圧縮応力を有する膜を設けることにより、活性層2 0 3により効果的に応力を付与することができた。

【0 0 3 7】図2(B)は、ゲート絶縁膜2 0 4 a上に酸化窒化シリコン膜2 0 4 d、酸化シリコン膜2 0 4 e、酸化窒化シリコン膜2 0 4 fを設けた構成となっている。そして、窒素リッチな酸化窒化シリコン膜2 0 2 aと酸化窒化シリコン膜2 0 4 d、2 0 4 fとから応力が活性層2 0 3に印加される構成となっている。

【0 0 3 8】図2(C)は、ゲート絶縁膜2 0 4 a上に酸化シリコン膜2 0 4 g、圧縮応力を有する酸化窒化シリコン膜2 0 4 h、酸化窒化シリコン膜2 0 4 iが設けられた構成である。また図2(D)は酸化シリコン膜2 0 4 j、酸化窒化シリコン膜2 0 4 k、酸化窒化シリコン膜2 0 4 lが設けられた構成である。

【0 0 3 9】このように、酸化窒化シリコン膜の含有窒素量と酸素量との組成比を制御して内部応力を引張り応

力から圧縮応力まで変化させるためには、膜形成に使用するSiH₄、N₂O、NH₃のガスの混合比率をかえれば良く、簡単にできるものであった。また、内部応力の絶対値が5×10⁸Pa以上の酸化窒化シリコン膜を設ける場合には、活性層2 0 3に密接して形成するのではなく、酸化シリコン膜などの応力の小さい膜を介在させて設けると良かった。

【0 0 4 0】

【実施例】【実施例1】図5～図7を用いて本実施例を説明する。まず、基板6 0 1としてガラス基板、例えばコーニング社の#1 7 3 7基板を用意した。そして、基板6 0 1上にゲート電極6 0 2を形成した。ここでは、スパッタ法を用いて、タンタル(Ta)膜を200nmの厚さに形成した。また、ゲート電極6 0 2を、窒化タンタル膜(膜厚50nm)とTa膜(膜厚250nm)の2層構造としても良い。Ta膜はスパッタ法でArガスを用い、Taをターゲットとして形成されるが、ArガスにXeガスを加えた混合ガスでスパッタすると内部応力の絶対値を2×10⁸Pa以下にすることができた。(図5(A))

【0 0 4 1】そして、第1の絶縁層6 0 3、非晶質半導体層6 0 4を順次大気開放しないで連続形成した。第1の絶縁層6 0 3は窒素リッチな酸化窒化シリコン膜6 0 3 a(膜厚50nm)と酸化窒化シリコン膜(膜厚125nm)で形成した。窒素リッチな酸化窒化シリコン膜6 0 3 aはSiH₄、N₂O、NH₃の混合ガスよりプラズマCVD法で作製された。また、非晶質半導体層6 0 4もプラズマCVD法を用い、20～100nm、好ましくは40～75nmの厚さに形成した。(図5(B))

【0 0 4 2】そして、450～550℃で1時間の加熱処理を行った。この加熱処理により第1の絶縁層6 0 3と非晶質半導体層6 0 4とから水素が放出され、引張り応力を付与することができた。その後、非晶質半導体層6 0 4に対して、結晶化の工程を行い、結晶質半導体層6 0 5を形成した。ここでの結晶化の工程は、レーザーアニール法や熱アニール法を用いれば良い。レーザーアニール法では、例えばKrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振パルス周波数30Hz、レーザーエネルギー密度100～500mJ/cm²、線状ビームのオーバーラップ率を96%として非晶質半導体層の結晶化を行った。ここで、非晶質半導体層が結晶化するに伴って、体積収縮が起こり、形成された結晶質半導体層6 0 5の引張り応力は増大した。(図5(C))

【0 0 4 3】次に、こうして形成された結晶質半導体層6 0 5に接して絶縁膜6 0 6を形成した。ここでは、酸化窒化シリコン膜を200nmの厚さに形成した。その後、裏面からの露光を用いたパターニング法により、絶縁膜6 0 6に接したレジストマスク6 0 7を形成した。

13

ここでは、ゲート電極 602 がマスクとなり、自己整合的にレジストマスク 607 を形成することができた。そして、図示したようにレジストマスクの大きさは、光の回り込みによって、わずかにゲート電極の幅より小さくなった。(図 5 (D))

【0044】そして、レジストマスク 607 を用いて絶縁膜 606 をエッチングして、チャネル保護膜 608 を形成した後、レジストマスク 607 は除去した。この工程により、チャネル保護膜 608 と接する領域以外の結晶質半導体層 605 の表面を露呈させた。このチャネル保護膜 608 は、後の不純物添加の工程でチャネル領域に不純物が添加されることを防ぐ役目を果たした。(図 5 (E))

【0045】次いで、フォトマスクを用いたパターンニングによって、n チャネル型 TFT の一部と p チャネル型 TFT の領域を覆うレジストマスク 609 を形成し、結晶質半導体層 605 の表面が露呈している領域に n 型を付与する不純物元素を添加する工程を行った。そして、第 1 の不純物領域 (n⁺型領域) 610a が形成された。本実施例では、n 型を付与する不純物元素としてリンを用いたので、イオンドープ法においてフォスフィン (PH₃) を用い、ドーズ量 5×10^{14} atoms/cm²、加速電圧 10 kV とした。また、上記レジストマスク 609 のパターンは実施者が適宜設定することにより n⁺型領域の幅が決定され、所望の幅を有する n⁺型領域、およびチャネル形成領域を容易に得ることができた。(図 6 (A))

【0046】レジストマスク 609 を除去した後、第 2 の絶縁膜 611 を形成した。ここでは、実施形態 1 で示した含有窒素濃度が 5 atomic% 以上 25 atomic% 未満で圧縮応力を有する酸化窒化シリコン膜 (膜厚 50 nm) をプラズマ CVD 法で作製した。酸化窒化シリコン膜は圧縮応力を有していた。(図 6 (B))

【0047】次いで、マスク用絶縁膜 611 が表面に設けられた結晶質半導体層に n 型を付与する不純物元素を添加する工程を行い、第 2 の不純物領域 (n⁺型領域) 612 を形成した。但し、マスク用絶縁膜 611 を介してその下の結晶質半導体層に不純物を添加するために、マスク用絶縁膜 611 の厚さを考慮にいれ、適宜条件を設定する必要があった。ここでは、ドーズ量 3×10^{13} atoms/cm²、加速電圧 60 kV とした。こうして形成される第 2 の不純物領域 612 は LDD 領域として機能した。(図 6 (C))

【0048】次いで、n チャネル型 TFT を覆うレジストマスク 614 を形成し、p チャネル型 TFT が形成される領域に p 型を付与する不純物元素を添加する工程を行った。ここでは、イオンドープ法でジボラン (B₂H₆) を用い、ボロン (B) を添加した。ドーズ量は 4×10^{15} atoms/cm²、加速電圧 30 kV とした。(図 6 (D))

14

【0049】その後、レーザーアニール法または熱アニール法による不純物元素の活性化の工程を行った後、水素雰囲気中で熱処理 (300~500℃、1 時間) を行い全体を水素化した。(図 7 (A))

【0050】また、プラズマ化することにより生成された水素により水素化しても良い。その後、チャネル保護膜 608 とマスク用絶縁膜 611 をフッ酸系エッチング液で選択除去し、公知のパターニング技術により結晶質半導体層を所望の形状にエッチングした。(図 7

(B))

【0051】以上の工程を経て、n チャネル型 TFT のソース領域 615、ドレイン領域 616、LDD 領域 617、618 チャネル形成領域 619 が形成され、p チャネル型 TFT のソース領域 621、ドレイン領域 622、チャネル形成領域 620 が形成された。次いで、n チャネル型 TFT および p チャネル型 TFT を覆って第 2 の絶縁層を形成した。第 2 の絶縁層は最初に、酸化シリコン膜から成る絶縁膜 623 を 1000 nm の厚さに形成した。(図 7 (C))

【0052】そして、コンタクトホールを形成して、ソース電極 624、626、ドレイン電極 625、627 を形成した。さらに第 2 の絶縁層として、酸化シリコン膜から成る絶縁膜 623 上に、ソース電極 624、626、ドレイン電極 625、627 を覆って、酸化窒化シリコン膜 628 を形成した。この酸化窒化シリコン膜は含有窒素量を 5 atomic% 以上 25 atomic% 未満として圧縮応力を持たせた。図 7 (D) に示す状態を得た後、最後に水素雰囲気中で熱処理を行い、全体を水素化して n チャネル型 TFT と p チャネル型 TFT が完成した。水素化の工程はプラズマ化した水素雰囲気中にさらすことによっても実現できた。

【0053】[実施例 2] 実施例 1 の作製工程を用いた n チャネル型 TFT と p チャネル型 TFT を備えた半導体装置について図 8 を用いてその一例を説明する。図 8 は CMOS 回路の基本構成であるインバータ回路を示す。このようなインバータ回路を組み合わせることで、NAND 回路、NOR 回路のような基本回路を構成したり、さらに複雑なシフトレジスタ回路やバッファ回路などを構成することができる。図 8 (A) は CMOS 回路の上面図に相当する図であり、図 8 (A) において点線 A-A' の断面構造図を図 8 (B) に示す。

【0054】図 8 (B) において、n チャネル型および p チャネル型 TFT の両方は同一基板上に形成されている。p チャネル型 TFT は、ゲート電極 902 が形成され、その上に第 1 の絶縁層として、引張り応力を有する窒素リッチな酸化窒化シリコン膜 903 と、酸化窒化シリコン膜 904 とが設けられている。そして、第 1 の絶縁層に接して結晶質半導体膜から成る活性層が形成され、p⁺領域 912 (ドレイン領域)、915 (ソース領域) とチャネル形成領域 914 とが設けられている。

この半導体層に接して第2の絶縁層が設けられ、ここでは酸化シリコン膜917と酸化窒化シリコン膜919とが形成されている。そして酸化シリコン膜に設けられたコンタクトホールを通してソース電極920、ドレイン電極918が形成されている。一方、nチャネル型TFTの活性層には、n⁺型領域905（ソース領域）、911（ドレイン領域）とチャネル形成領域909と、前記n⁺型領域とチャネル形成領域との間にn⁻型領域が設けられている。そして同様に層間絶縁膜917にはコンタクトホールが形成され、ソース電極916、ドレイン電極918が設けられている。

【0055】このようなCMOS回路は、アクティブマトリクス型液晶表示装置の周辺駆動回路や、EL (Electroluminescence) 型表示装置の駆動回路や、密着型イメージセンサの読み取り回路などに応用することができる。

【0056】[実施例3]本実施例を図9と図10により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。図9(A)において、絶縁表面を有する基板701上に第1の絶縁層が形成されている。これは含有窒素濃度が25atomic%以上、50atomic%未満の窒素リッチな酸化窒化シリコン膜702を20~100nm、代表的には50nmの厚さに形成し、含有窒素濃度が5atomic%以上、25atomic%未満の酸化窒化シリコン膜703を50~500nm、代表的には150~200nmの厚さに形成した。窒素リッチな酸化窒化シリコン膜702は引張り応力を有している。第2の島状半導体膜704と、第1の島状半導体膜705、およびゲート絶縁膜706を形成した。ゲート絶縁膜706は酸化窒化シリコン膜から形成した。また、島状半導体膜は、非晶質半導体膜をレーザーアニール法や熱アニール法などの方法で作製された結晶質半導体膜を公知の技術で島状に分離形成したものである。(図9(A))

【0057】ここで適用できる半導体材料は、シリコン(Si)、ゲルマニウム(Ge)、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。半導体膜は10~100nm、代表的には50nmの厚さで形成される。プラズマCVD法で作製される非晶質半導体膜には10~40atomic%の割合で膜中に水素が含まれている。非晶質半導体膜は圧縮応力から引張り応力まで作製条件により任意の内部応力を有しているが、結晶化の工程の前に400~500℃の熱処理の工程を行い水素を膜中から脱離させることにより、そのほとんどが引張り応力に変化した。

【0058】そして、第2の島状半導体膜704と、第1の島状半導体膜705のチャネル形成領域を覆うレジストマスク707、708を形成した。このとき、配線

を形成する領域にもレジストマスク709を形成しておいても良い。そして、n型を付与する不純物元素を添加して第2の不純物領域を形成する工程を行った。ここでは、フォスフィン(PH₃)を用いたイオンドープ法でリン(P)を添加した。この工程では、ゲート絶縁膜706を通してその下の島状半導体膜にリンを添加するために、加速電圧は80keVと高めに設定した。島状半導体膜に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。そして、半導体膜にリンが添加された領域710、711が形成された。この領域の一部は、LDD領域として機能する。(図9(B))

【0059】そして、ゲート絶縁膜706の表面に導電層712を形成した。導電層712は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて形成する。そして、導電層712の厚さは100~500nm、好ましくは150~400nmで形成すれば良い。スパッタ法で作製されるTa、Ti、W、Moなどの薄膜は大きな圧縮応力を有していた。しかし、スパッタ成膜時にArガスに加えXeガスを添加することで効果的に応力を低減させることができた。(図9(C))

【0060】次に、レジストマスク713~716を形成した。レジストマスク713は、pチャネル型TFTのゲート電極を形成するためのものであり、レジストマスク715、716は、ゲート配線およびゲートバスラインを形成するためのものである。また、レジストマスク714は第1の島状半導体膜705の全面を覆って形成され、次の工程において、不純物が添加されるのを阻止するマスクとするために設けられた。導電層712はドライエッチング法により不要な部分が除去され、第2のゲート電極717と、ゲート配線719と、ゲートバスライン720が形成された。ここで、エッチング後残渣が残っている場合には、アッシング処理すると良かった。そして、レジストマスク713~716をそのまま残して、pチャネル型TFTが形成される第2の島状半導体膜704の一部に、p型を付与する不純物元素を添加して第3の不純物領域を形成した。ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図9(D)に示すようにボロンが高濃度に添加された第3の不純物領域721、722が形成された。

【0061】図9(D)で設けられたレジストマスクを除去した後、再度レジストマスク723~725を形成した。これはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法により第1のゲート電極726が形成された。このとき第1のゲート電極726は、第2の不純物領域710、711の一部

とゲート絶縁膜を介して重なるように形成された。(図 9 (E))

【0062】次に、レジストマスク 729~731 を形成した。レジストマスク 730 は第 1 のゲート電極 726 とを覆って、さらに第 2 の不純物領域 710、711 の一部と重なる形で形成されたものである。これは、LDD 領域のオフセット量を決めるものである。そして、n 型を付与する不純物元素を添加して第 1 の不純物領域を形成する工程を行い、ソース領域となる第 1 の不純物領域 732 とドレイン領域となる第 1 の不純物領域 733 が形成された。この工程でも、第 2 の絶縁層 706 を通してその下の半導体層にリンを添加するために、加速電圧は 80 keV と高めに設定した。この領域のリンの濃度は n 型を付与する第 1 の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とした。(図 10 (A))

【0063】そして、ゲート絶縁膜 706、第 1 および第 2 のゲート電極 726、717、ゲート配線 727、ゲートバスライン 728 の表面に酸化シリコン膜 734 を 1000 nm の厚さに形成した。その後加熱処理を行った、これはそれぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法 (RTA 法) で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができ、ゲート電極の下にかくれる領域まで活性化させることは困難である。ここでは熱アニール法で活性化を行った。加熱処理は、窒素雰囲気中において 300~600℃、好ましくは 350~550℃、ここでは 450℃、2 時間の処理を行った。この熱処理において、窒素雰囲気中に 3~90% の水素を添加していても良い。また、熱処理の後に、さらに 3~100% の水素雰囲気中で 150~500℃、好ましくは 300~450℃ で 2~12 時間の水素化処理の工程を行うと良い。または、150~500℃、好ましくは 200~450℃ の基板温度でプラズマ化させることによってできた水素で水素化処理をしても良い。いずれにしても、水素が半導体層中やその界面に残留する欠陥を補償することにより、TFT の特性を向上させることができた。

【0064】酸化シリコン膜 734 はその後、所定のレジストマスクを形成した後、エッチング処理によりそれぞれの TFT のソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極 736、737 とドレイン電極 738 を形成した。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含む Al 膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の電極として用

いた。さらにこの全面に含有窒素濃度が 5 atomic% から 25 atomic% の酸化窒化シリコン膜 735 を形成した。この膜は圧縮応力を有していた。この状態で 2 回目の水素化処理を行うと TFT の特性をさらに向上させることができた。ここでも、1~5% の水素雰囲気中で 300~450℃ 好ましくは 300~350℃ で 1~6 時間程度加熱処理を行えば良かった。或いは、プラズマ化させることによってできた水素に晒すことにより水素化をすることができた。

【0065】以上のような工程を経て、第 1 の絶縁層は引張り応力を有した窒素リッチな酸化窒化シリコン膜 702、酸化窒化シリコン膜 703 から形成され、第 2 の絶縁層は、酸化窒化シリコン膜で成るゲート絶縁膜 706、酸化シリコン膜 734、酸化窒化シリコン膜 735 から構成されるものであった。そして p チャネル型 TFT は自己整合的 (セルフアライン) に形成され、n チャネル型 TFT は非自己整合的 (ノンセルフアライン) に形成された。

【0066】CMOS 回路の n チャネル型 TFT にはチャネル形成領域 742、第 1 の不純物領域 745、746、第 2 の不純物領域 743、744 が形成された。ここで、第 2 の不純物領域は、ゲート電極と重なる領域 (GOLD: Gate Overlapped Drain) 743a、744a と、ゲート電極と重ならない領域 (LDD 領域) 743b、744b がそれぞれ形成された。そして、第 1 の不純物領域 745 はソース領域として、第 1 の不純物領域 746 はドレイン領域となった。一方、p チャネル型 TFT は、チャネル形成領域 739、第 3 の不純物領域 740、741 が形成された。そして、第 3 の不純物領域 740 はソース領域として、第 3 の不純物領域 741 はドレイン領域となった。(図 10 (B))

【0067】また、図 10 (C) はインバータ回路の上面図を示し、TFT 部分の A-A' 断面構造、ゲート配線部分の B-B' 断面構造、ゲートバスライン部分の C-C' 断面構造は、図 10 (B) と対応している。本発明において、ゲート電極とゲート配線とゲートバスラインとは、第 1 の導電層から形成されている。図 9 と図 10 では、n チャネル型 TFT と p チャネル型 TFT とを相補的組み合わせで成る CMOS 回路を例にして示したが、n チャネル型 TFT を用いた NMOS 回路や、液晶表示装置の画素部、EL 型表示装置、イメージセンサの読み取り回路などにも本願発明を適用することもできる。

【0068】[実施例 4] 本実施例では、本願発明の構成を図 11~図 13 を用い、画素部 (画素マトリクス回路) とその周辺に設けられる駆動回路の基本形態である CMOS 回路を同時に形成したアクティブマトリクス基板の作製方法について説明する。

【0069】最初に、基板 1101 上に第 1 の絶縁層として、窒素リッチな第 1 の酸化窒化シリコン膜 1102

19

a を 50 ~ 500 nm、代表的には 100 nm の厚さに形成し、さらに第 2 の酸化窒化シリコン膜 1102b を 100 ~ 500 nm、代表的には 200 nm の厚さに形成した。窒素リッチな第 1 の酸化窒化シリコン膜 1102a は、含有する窒素濃度を 25 atomic% 以上 50 atomic% 未満となるようにした。窒素リッチな第 1 の酸化窒化シリコン膜 1102a は、 SiH_4 と N_2O と NH_3 から作製されたものであり、図 19 で示すように引張り応力を有していた。そして、結晶化の工程、またゲッタリングの工程に伴う加熱処理に対してもその内部応力を保持していた。さらに島状の結晶質半導体膜 1103、1104、1105 と、ゲート絶縁膜 1106 を形成した。島状の結晶質半導体膜は、非晶質半導体膜から触媒元素を使用した結晶化の方法で結晶質半導体膜を形成し、これを島状に分離加工したものであった。ゲート絶縁膜 1106 は、 SiH_4 と N_2O とから作製される酸化窒化シリコン膜であり圧縮応力を有していた。ここでは、10 ~ 200 nm、好ましくは 50 ~ 150 nm の厚さで形成した。(図 11 (A))

【0070】次に、島状半導体膜 1103 と、島状半導体膜 1104、1105 のチャネル形成領域を覆うレジストマスク 1107 ~ 1111 を形成した。このとき、配線を形成する領域にもレジストマスク 1109 を形成しておいても良い。そして、n 型を付与する不純物元素を添加して第 2 の不純物領域を形成した。フォスフィン (PH_3) を用いたイオンドープ法でリン (P) を添加した。この工程では、ゲート絶縁膜 1106 を通してその下の島状半導体膜にリンを添加するために、加速電圧は 65 keV に設定した。島状半導体に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。そして、リンが添加された領域 1112 ~ 1116 が形成された。この領域の一部は、LDD 領域として機能する第 2 の不純物領域とされるものである。(図 11 (B))

【0071】その後、レジストマスクを除去して、導電層 1117 を全面に形成した。導電層 1117 は、Ta、Ti、Mo、W から選ばれた元素を主成分とする導電性材料を用いる。そして、導電層 1117 の厚さは 100 ~ 1000 nm、好ましくは 150 ~ 400 nm で形成しておけば良い。ここでは Ta をスパッタ法で、Ar と Xe の混合ガスを用い形成した。(図 11 (C))

【0072】次に、p チャネル型 TFT のゲート電極と、CMOS 回路および画素部のゲート配線、ゲートバスラインを形成した。n チャネル型 TFT のゲート電極は後の工程で形成するため、導電層 1117 が島状半導体膜 1104 上の全面に残るようにレジストマスク 1119、1123 を形成した。導電層 1117 はドライエッチング法により不要な部分を除去した。Ta のエッチングは CF_4 と O_2 の混合ガスにより行われた。そして、

20

ゲート電極 1124 と、ゲート配線 1126、1128 と、ゲートバスライン 1127 が形成された。そして、レジストマスク 1118 ~ 1123 をそのまま残して、p チャネル型 TFT が形成される島状半導体膜 1103 の一部に、p 型を付与する第 3 の不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン (B_2H_6) を用いてイオンドープ法で添加した。ここでも加速電圧を 80 keV として、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図 12 (A) に示すようにボロンが高濃度に添加された第 3 の不純物領域 1130、1131 が形成された。

【0073】図 12 (A) で設けられたレジストマスクを除去した後、新たにレジストマスク 1124 ~ 1130 を形成した。これは n チャネル型 TFT のゲート電極を形成するためのものであり、ドライエッチング法によりゲート電極 1131 ~ 1133 が形成された。このときゲート電極 1131 ~ 1133 は第 2 の不純物領域 1112 ~ 1116 の一部と重なるように形成された。

(図 12 (B))

【0074】そして、新たなレジストマスク 1135 ~ 1141 を形成した。レジストマスク 1136、1139、1140 は n チャネル型 TFT のゲート電極 1131 ~ 1133 と、第 2 の不純物領域の一部を覆う形で形成されるものであった。ここで、レジストマスク 1136、1139、1140 は、LDD 領域のオフセット量を決めるものである。そして、n 型を付与する不純物元素を添加して第 1 の不純物領域を形成する工程を行った。そして、ソース領域となる第 1 の不純物領域 1143、1144 とドレイン領域となる第 1 の不純物領域 1142、1145、1146 が形成された。この工程でもゲート絶縁膜 1106 を通してその下の島状半導体膜にリンを添加し、この領域のリンの濃度は n 型を付与する第 1 の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とした。このとき p チャネル型 TFT のソースおよびドレイン領域の一部にもリンが添加された領域 1180、1181 が形成された。しかしこの領域のリン濃度はボロン濃度の約 1/2 であり導電性は p 型のままである。(図 12 (C))

【0075】図 12 (C) までの工程が終了したら、酸化シリコン膜 1147 を形成した。ここでは TEOS (Tetraethyl Orthosilicate) を原料としてプラズマ CVD 法で 1000 nm の厚さに形成された。この状態で窒素雰囲気中で 400 ~ 800 °C、1 ~ 24 時間、例えば 525 °C で 8 時間の加熱処理を行った。この工程により添加された n 型及び p 型を付与する不純物元素を活性化させることができた。さらに、リンが添加された領域 1142 ~ 1146 と 1180、1181 がゲッタリングサイトとなり、結晶化の工程で残存していた触媒元素

をこの領域に偏析させることができた。その結果、少なくともチャンネル形成領域から触媒元素を除去することができた。この熱処理の後に、さらに3~100%の水素雰囲気中で150~500℃、好ましくは300~450℃で2~12時間の水素化処理の工程を行うと良い。または、150~500℃、好ましくは200~450℃の基板温度でプラズマ化させることによってできた水素で水素化処理をしても良い。いずれにしても、水素が半導体層中やその界面に残留する欠陥を補償することにより、TFTの特性を向上させることができた。(図13 (A))

【0076】酸化シリコン膜1147はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極1149、1150、1151とドレイン電極1152、1153を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。この状態で2回目の水素化処理を行うとTFTの特性をさらに向上させることができた。ここでも、1~5%の水素雰囲気中で300~450℃好ましくは300~350℃で1~6時間程度加熱処理を行えば良かった。或いは、プラズマ化させることによってできた水素に晒すことにより水素化をすることができた。そして、酸化窒化シリコン膜1148を100~500nm、例えば300nmの厚さに成膜した。酸化窒化シリコン膜1148はプラズマCVD法で形成し、図19のデータを基にしてSiH₄とN₂OとNH₃との混合ガスから作製し、膜中の含有窒素濃度が25atomic%未満となるように形成し、圧縮応力を持つようにした。(図13 (B))

【0077】以上のような工程を経て、第1の絶縁層は引張り応力を有した窒素リッチな第1の酸化窒化シリコン膜1102a、第2の酸化窒化シリコン膜1102bから形成され、第2の絶縁層は、酸化窒化シリコン膜で成るゲート絶縁膜1106、酸化シリコン膜1147、酸化窒化シリコン膜1148から構成されるものであった。そしてpチャンネル型TFTは自己整合的(セルフアライン)に形成され、nチャンネル型TFTは非自己整合的(ノンセルフアライン)に形成された。

【0078】以上の工程で、CMOS回路のnチャンネル型TFTにはチャンネル形成領域1157、第1の不純物領域1160、1161、第2の不純物領域1158、1159が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)1158a、1159aとゲート電極と重ならない領域(LDD領域)1158b、1159bがそれぞれ形成された。そして、第1の不純物領域1160はソース領域として、第1の不純物領域1161はドレイン領域となった。pチャンネル型TFTは、チャンネル形成領域1154、第3

の不純物領域1155、1156が形成された。そして、第3の不純物領域1155はソース領域として、第3の不純物領域1156はドレイン領域となった。また、画素部のnチャンネル型TFT(画素TFT)はマルチゲート構造であり、チャンネル形成領域1162、1163と第1の不純物領域1168、1169、1145と第2の不純物領域1164~1167が形成された。ここで第2の不純物領域は、ゲート電極と重なる領域1164a、1165a、1166a、1167aと重ならない領域1164b、1165b、1166b、1167bとが形成された。

【0079】こうして図13 (B)に示すように、基板1101上にCMOS回路と、画素部が形成されたアクティブマトリクス基板が作製された。また、画素TFTのドレイン側には、第2の不純物領域と同じ濃度でn型を付与する不純物元素が添加された、低濃度不純物領域1170、ゲート絶縁膜1106、保持容量電極1171とが形成され、画素部に設けられる保持容量が同時に形成された。

【0080】[実施例5]本実施例では、実施例4で作製されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を図14を用いて説明する。図13 (B)の状態のアクティブマトリクス基板に対して、有機樹脂からなる層間絶縁膜1401を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。この有機樹脂膜の内部応力は約1×10⁸Pa程度であり、その絶対値からみても応力バランスを考慮する上でさほど問題とならなかった。そして層間絶縁膜1401にドレイン電極1153に達するコンタクトホールを形成し、画素電極1402を形成した。画素電極1402は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。(図14 (A))

【0081】次に、図14 (B)に示すように、配向膜1501を層間絶縁膜1401と画素電極1402との表面に形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板1502には、透明導電膜1503と、配向膜1504とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。上記の工程を経て、画素部と、CMOS回

路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料 1505 を注入し、封止剤（図示せず）によって完全に封止した。よって図 14（B）に示すアクティブマトリクス型液晶表示装置が完成した。

【0082】次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図 15 と図 16 を用いて説明する。図 15 は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板 1101 上に形成された、画素部 1601 と、走査（ゲート）線駆動回路 1602 と、信号（ソース）線駆動回路 1603 で構成される。画素部の画素 TFT 1600 は n チャネル型 TFT であり、周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。走査（ゲート）線駆動回路 1602 と、信号（ソース）線駆動回路 1603 はそれぞれゲート配線 1703 とソース配線 1704 で画素部 1601 に接続されている。

【0083】図 16（A）は画素部 1601 の上面図であり、ほぼ 1 画素の上面図である。画素部には n チャネル型の画素 TFT が設けられている。ゲート配線 1703 に連続して形成されるゲート電極 1702 は、図示されていないゲート絶縁膜を介してその下の半導体層 1701 と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第 1 の不純物領域が形成されている。また、画素 TFT のドレイン側には、半導体層と、ゲート絶縁膜と、ゲート電極と同じ材料で形成された電極とから、保持容量 1707 が形成されている。また、図 16（A）で示す A-A' に沿った断面構造は、図 14（B）に示す画素部の断面図に対応している。一方、図 16（B）に示す CMOS 回路では、ゲート配線 1126 から延在するゲート電極 1124、1131 が、図示されていないゲート絶縁膜を介してその下の半導体層 1103、1104 とそれぞれ交差している。図示はしていないが、同様に n チャネル型 TFT の半導体層には、ソース領域、ドレイン領域、LDD 領域が形成されている。また、p チャネル型 TFT の半導体層にはソース領域とドレイン領域が形成されている。そして、その位置関係は、B-B' に沿った断面構造は、図 14（B）に示す画素部の断面図に対応している。

【0084】本実施例では、画素 TFT 1600 をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0085】【実施例 6】本実施例では、第 1 の絶縁層お

よび活性層となる半導体膜の基本的な作製方法について示す。図 21 において基板 2101 はガラス基板、セラミクス基板、石英基板などを用いることができる。また、酸化シリコン膜や窒化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。ガラス基板を用いる場合には、歪み点以下の温度で予め加熱処理しておくことが望ましい。例えば、コーニング社の #1737 基板を用いる場合には、500～650℃、好ましくは 595～645℃で 1～24 時間の加熱処理をしておくことが良い。

【0086】そして、基板 2101 の主表面に、第 1 の絶縁層 2102 を形成した。ここでは、引張り応力を有する酸化窒化 2102a と、酸化窒化シリコン膜 2102b を形成した。第 1 の絶縁層は引張り応力を有した膜であれば良く、その他にも窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜から選ばれた一層もしくは複数の層で形成すると良い。これらの膜は公知のプラズマ CVD 法やスパッタ法で形成すれば良い。そして、酸化窒化シリコン膜を用いる場合には、20～100nm、代表的には 50nm の厚さに形成すれば良い。また、この窒化シリコン膜の上に酸化窒化シリコン膜を 50～500nm、代表的には 50～200nm の厚さに形成しても良い。そして、第 1 の絶縁層の上に非晶質半導体層 2103 を形成した。これはプラズマ CVD 法、減圧 CVD 法、スパッタ法などの成膜法で形成される非晶質半導体であれば良く、シリコン（Si）、ゲルマニウム（Ge）、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることができる。半導体層は 10～100nm、代表的には 50nm の厚さとして形成した。また、第 1 の絶縁層と非晶質半導体層 2103 とをプラズマ CVD 法やスパッタ法で連続形成することも可能である。それぞれの層が形成された後、その表面が大気雰囲気に触れないことにより、その表面の汚染を防ぐことができる。（図 21（A））

【0087】次に結晶化の工程を行った。非晶質半導体層を結晶化する工程は、公知のレーザーアニール法または熱アニール法の技術を用いれば良い。いずれにしても、非晶質状態から結晶質状態に半導体層が相変化するに伴って、緻密化し体積収縮が起こるので、結晶質半導体層 2104 には引張り応力が発生した。また、プラズマ CVD 法で作製される非晶質半導体層には 10～40 atomic% の割合で膜中に水素が含まれていて、結晶化の工程に先立って 400～500℃の熱処理の工程を行い水素を膜中から脱離させて含有水素量を 5 atomic% 以下としておくことが望ましかった。水素が放出されると結果的に引張り応力が発生した。（図 21（B））

【0088】そして、結晶質半導体層 2104 に接して圧縮応力を有する第 2 の絶縁層 2105 を形成した。第 2 の絶縁層 2105 には、窒化シリコン膜、酸化シリコ

ン膜、酸化窒化シリコン膜、酸化タンタルから選ばれた一層もしくは複数の層から形成することができる。第2の絶縁層2105の厚さは10~1000nm、好ましくは50~400nmとして形成すれば良い。(図21(C))

【0089】第1の絶縁層2102と、第2の絶縁層2105に適用される窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜は、その作製条件によって引張り応力と圧縮応力との両方の状態の応力を持たせることが可能であった。そのためには、使用するガスの混合比や成膜時の基板温度、また成膜速度などを適宜決定すれば良かった。このような作製条件は使用する個々の装置により異なっていた。また、圧縮応力を有した膜を加熱処理の工程を加えることにより、引張り応力を有する膜に変換することもできた。非晶質半導体層から体積収縮を伴って作製される結晶質半導体層は、 $1 \times 10^8 \sim 1 \times 10^9 \text{ Pa}$ の引張り応力を有していた。このような結晶質半導体層に対して第1の絶縁層および第2の絶縁層が有する内部応力の絶対値の差は $5 \times 10^9 \text{ Pa}$ 以下とすることが望ましかった。以上のように、引張り応力を有する第1の絶縁層2102と、圧縮応力を有する第2の絶縁層2105とに密接して、引張り応力を有する結晶質半導体層2104を設ける構成として、さらに、公知の技術を用いてTFTを作製し、結晶質半導体層2103が活性層となるようにすれば、良好な特性を得ることができた。このとき、積層された結晶質半導体層と絶縁層の内部応力の合計が、絶対値で $1 \times 10^9 \text{ Pa}$ 以下となるようにすることが好ましかった。例えば、nチャネル型TFTで電界効果移動度を $100 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上とすることもできた。また、熱や電圧印加によるストレスの耐性をも向上させることができた。

【0090】図22は他の実施例を示すものであり、基板2201の主表面に、第1の絶縁層2202として引張り応力を有する窒素リッチの酸化窒化シリコン膜2202aと酸化窒化シリコン膜2202bとが形成されている。そして、図21と同様に第1の絶縁層の表面に非晶質半導体層2203を形成した。非晶質半導体層の厚さは、10~200nm、好ましくは30~100nmに形成すれば良い。さらに、重量換算で10ppmの触媒元素を含む水溶液をスピンコート法で塗布して、触媒元素含有層2204を非晶質半導体層2203の全面に形成した。ここで使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素であった。非晶質半導体層の内部応力は、作製条件により一様に決まるものではなかった。しかし、結晶化の工程に先立って400~600℃の熱処理の工程を行い水素を膜中から脱離させると引張り応力が発生した。同時に、第1の絶縁層からも水素が脱離

するので、やはり引張り応力が強められた。(図22(A))

【0091】そして、500~600℃で4~12時間、例えば550℃で8時間の熱処理を行う結晶化の工程を行い結晶質半導体層2205が形成された。(図22(B))

【0092】次に、結晶化の工程で用いた触媒元素を結晶質半導体膜から除去する工程を行った。その方法としてここでは特開平10-247735号公報、特開平10-135468号公報、または特開平10-135469号公報に記載された技術を用いた。同公報に記載された技術は、リンのゲッターリング作用を用いて除去する技術である。このゲッターリングの工程により結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ にまで低減することができた。まず、結晶質半導体層2205の表面にマスク絶縁膜2206を150nmの厚さに形成し、パターニングにより開口部2207が設けられ、結晶質半導体層を露出させた領域を設けた。そして、リンを添加する工程を実施して、結晶質半導体層にリン含有領域2208を設けた。(図22(C))

【0093】この状態で、窒素雰囲気中で550~800℃、5~24時間、例えば600℃、12時間の熱処理を行うと、リン含有領域2208がゲッターリングサイトとして働き、結晶質半導体層2205に残存していた触媒元素をリン含有領域2208に偏析させることができた。(図22(D))

【0094】そして、マスク絶縁膜2206と、リン含有領域2208とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下にまで低減された結晶質半導体層を得ることができた。そして、結晶質半導体層2209に密接して圧縮応力を有する第2の絶縁層2210を形成した。第2の絶縁層2210には、窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタルから選ばれた一層もしくは複数の層から形成することができる。第2の絶縁層2210の厚さは10~1000nm、好ましくは50~400nmとして形成すれば良い。(図22(E))

【0095】以上のように、引張り応力を有する第1の絶縁層2202と、圧縮応力を有する第2の絶縁層2210とに密接して、引張り応力を有する結晶質半導体層2209を設ける構成として、その後、公知の技術を用いて結晶質半導体層2209を活性層とするTFTを作製すれば、良好な特性を得ることができた。このとき、積層された結晶質半導体層と絶縁層の内部応力の合計が、絶対値で $1 \times 10^{10} \text{ Pa}$ 以下となるようにすることが好ましかった。例えば、nチャネル型TFTで電界効果移動度を $200 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上とすることもできた。

【0096】また、図23は、基板2301の主表面

に、2302aと2302bの2層から成る引張り応力を有する第1の絶縁層2302、非晶質半導体層2303を形成した。そして、非晶質半導体層2303の表面にマスク絶縁膜2304を形成した。この時、マスク絶縁膜2304の厚さは150nmとした。さらに、マスク絶縁膜2304をパターニングして、選択的に開口部2305を形成し、その後、重量換算で10ppmの触媒元素を含む水溶液を塗布した。これにより、触媒元素含有層2306が形成された。触媒元素含有層2306は開口部2305のみで非晶質半導体層2303と接触した。(図23(A))

【0097】次に、500~650℃で4~24時間、例えば570℃、14時間の熱処理を行い、結晶質半導体層2307を形成した。この結晶化の過程では、触媒元素が接した非晶質半導体層の領域が最初に結晶化し、そこから横方向へと結晶化が進行した。こうして形成された結晶質半導体層2307は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点があった。(図23(B))

【0098】次に、図22と同様に結晶化の工程で用いた触媒元素を結晶質半導体膜から除去する工程を行った。図23(B)と同じ状態の基板に対し、リンを添加する工程を実施して、結晶質半導体層にリン含有領域2309を設けた。この領域のリンの含有量は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ とした(図23(C))。この状態で、窒素雰囲気中で550~800℃、5~24時間、例えば600℃、12時間の熱処理を行うと、リン含有領域2309がゲッタリングサイトとして働き、結晶質半導体層2307に残存していた触媒元素をリン含有領域2309に偏析させることができた。(図23(D))

【0099】そして、マスク絶縁膜と、リン含有領域2309とをエッチングして除去して、島状の結晶質半導体層2310を形成した。そして、結晶質半導体層2310に密接して圧縮応力を有する第2の絶縁層2311を形成した。第2の絶縁層2311には、酸化シリコン膜、酸化窒化シリコン膜から選ばれた一層もしくは複数の層から形成した。第2の絶縁層2311の厚さは10~100nm、好ましくは50~80nmとして形成すれば良い。そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。例えば、950℃、30分とした。尚、処理温度は700~1100℃の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良かった。その結果、結晶質半導体層2310と第2の絶縁層2311との界面で熱酸化膜が形成され、第2の絶縁層2311の体積がさらに増加し、結晶質半導体層に対する圧縮応力もさらに増加した。(図23(E))

【0100】以上のように、引張り応力を有する第1の

絶縁層2302と、圧縮応力を有する第2の絶縁層2311とに密接して、引張り応力を有する結晶質半導体層2310を設ける構成として、その後、公知の技術を用いて結晶質半導体層2310を活性層とするTFTを作製すれば、きわめて優れた特性を得ることができた。例えば、nチャネル型TFTで電界効果移動度を $200 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上とすることもできた。

【0101】また、図24において、図22と同様に第1の絶縁層2402および結晶質半導体層2405を形成した後、結晶質半導体層2405中に残存する触媒元素を液相中でゲッタリングすることもできる。例えば、溶液として硫酸を用い、300~500℃に加熱された硫酸溶液中に図24(B)の状態の基板をディップすることによりゲッタリングすることが可能であり、結晶質半導体層2405中に残存する触媒元素を除去することができた。その他にも硝酸溶液、王水溶液、錫溶液を用いても良い。そしてその後、島状半導体層2409、第2の絶縁層2410を形成した。

【0102】[実施例7]本実施例では、本発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図25、図32、図33で説明する。

【0103】このような半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図25と図32に示す。

【0104】図25(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0105】図25(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0106】図25(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0107】図25(D)はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0108】図25(E)はリア型プロジェクターであり、本体9401、光源9402、表示装置9403、偏光ビームスプリッター9404、リフレクター9405、9406、スクリーン9407で構成される。本発明は表示装置9403に適用することができる。

【0109】図25(F)は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本発明はこの適用することができる。

【0110】図32(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

【0111】図32(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0112】図32(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。

【0113】図33(A)はフロント型プロジェクターであり、投射装置3601、スクリーン3602で構成される。本発明は投射装置やその他の信号制御回路に適用することができる。

【0114】図33(B)は別のリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704で構成される。本発明は投射装置やその他の信号制御回路に適用することができる。

【0115】なお、図33(C)は、図33(A)及び図33(B)中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804~3806、ダイクロイックミラー3803、プリズム3807、液晶表示装置3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図33(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0116】また、図33(D)は、図33(C)中における光源光学系3801の構造の一例を示した図であ

る。本実施例では、光源光学系3801は、リフレクター3811、光源3812、レンズアレイ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図33(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0117】また、本発明はその他にも、イメージセンサやEL型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0118】[実施例8]実施例5で示したの液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0119】等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図26に示す。図26に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図26に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺田らの"Half-V字スイッチングモードFLCD"、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの"強誘電性液晶による時分割フルカラーLCD"、液晶第3巻第3号第190頁に詳しい。

【0120】図26に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0121】また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反

強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0122】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。

【0123】なお、このような無しき値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0124】【実施例9】本実施例では、実施例4と構成の異なるアクティブマトリクス基板の例について図31を用いて説明する。まず、実施例5に従い、図11

(A)から図12(C)までの工程を行う。

【0125】図12(C)までの工程が終了したら、第1の層間絶縁膜3147、3148を形成する工程を行った。最初に窒化シリコン膜3147を50nmの厚さに成膜した。窒化シリコン膜3147はプラズマCVD法で形成し、高周波電力を変化させて成膜速度を制御することにより圧縮応力を付与することができた。そして、酸化窒化シリコン膜3148はSiH₄とN₂Oとの混合ガスから950nmの厚さに成膜した。

【0126】そして、熱処理の工程を行った。熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300～700℃、好ましくは350～550℃、ここでは450℃、2時間の処理を行った。

【0127】第1の層間絶縁膜3147、3148はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極3149、3150、3151とドレイン電極3152、3153を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。

【0128】以上の工程で、CMOS回路のnチャネル型TFTにはチャネル形成領域3157、第1の不純物領域3160、3161、第2の不純物領域3158、3159が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域（GOLD領域）3158a、3159a、ゲート電極と重ならない領域（LDD領域）3158b、3159bがそれぞれ形成された。そ

して、第1の不純物領域3160はソース領域として、第1の不純物領域3161はドレイン領域となった。

【0129】pチャネル型TFTは、チャネル形成領域3154、第3の不純物領域3155、3156が形成された。そして、第3の不純物領域3155はソース領域として、第3の不純物領域3156はドレイン領域となった。

【0130】また、画素TFTはマルチゲート構造であり、チャネル形成領域3162、3163と第1の不純物領域3168、3169、3145と第2の不純物領域3164～3167が形成された。ここで第2の不純物領域は、ゲート電極と重なる領域3164a、3165a、3166a、3167aと重ならない領域3164b、3165b、3166b、3167bとが形成された。

【0131】こうして図31に示すように、基板3101上にCMOS回路と、画素部が形成されたアクティブマトリクス基板が作製された。また、画素TFTのドレイン側には、第2の不純物領域と同じ濃度でn型を付与する不純物元素が添加された、低濃度不純物領域3170、ゲート絶縁膜3106、保持容量電極3171とが形成され、画素部に設けられる保持容量が同時に形成された。

【0132】本実施例のように、第1の層間絶縁膜に窒化シリコン膜から成る層を設けることでより効果的に圧縮応力を付与することができる。しかし、窒化シリコン膜は500nm以下の短波長光の透過率が低下するので、あまり厚く形成すると画素部において透過率が低下し好ましくない。従って、第1の層間絶縁膜の窒化シリコン膜は20～100nm、好ましくは30～60nmの厚さで形成する。

【0133】【実施例10】本実施例では、本発明を用いてEL（エレクトロルミネッセンス）表示パネル（EL表示装置ともいう）を作製した例について説明する。図27(A)は本発明を用いたEL表示パネルの上面図である。図27(A)において、10は基板、11は画素部、12はデータ線側駆動回路、13は走査線側駆動回路であり、それぞれの駆動回路は配線14～16を経てFPC17に至り、外部機器へと接続される。

【0134】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてシール材19を設ける。そして、対向板80で封止する。対向板80はガラス板またはプラスチック板を用いても良い。シール材19の外側にはさらに接着剤81が設けられ、基板10と対向板80とを強固に接着すると共に、貼合わせ端面からの水分などが侵入して内部の素子が腐蝕することを防ぐ。こうして基板10と対向板80との間に密閉空間を形成する。このとき、EL素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。さらに、基板10と対向板80との間には封止樹脂83が

充填されている。封止樹脂 83 にはシリコン系、エポキシ系、アクリル系、フェノール系などから選ばれた有機樹脂材料を用いる。これにより EL 素子の水分等による劣化を防ぐ効果を向上させる。

【0135】また、図 27 (B) は本実施例の EL 表示パネルの断面構造であり、基板 10、下地膜 21 の上に駆動回路用 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を組み合わせた CMOS 回路を図示している。) 22 及び画素部用 TFT 23 (但し、ここでは EL 素子への電流を制御する TFT だけ図示している。) が形成されている。駆動回路用 TFT 22 としては、実施例 5 において図 13 (B) で示した CMOS 回路用の n チャネル型 TFT または p チャネル型 TFT を用いれば良い。また、画素部用 TFT 23 には図 13 (B) に示した画素 TFT を用いれば良い。

【0136】駆動回路用 TFT 22、画素部用 TFT 23 上には樹脂材料でなる層間絶縁膜 (平坦化膜) 26、画素部用 TFT 23 のドレインと電気的に接続する透明導電膜でなる画素電極 27 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物 (ITO と呼ばれる) または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 27 を形成したら、絶縁膜 28 を形成し、画素電極 27 上に開口部を形成する。

【0137】次に、EL 層 29 を形成する。EL 層 29 は公知の EL 材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL 材料には低分子系材料と高分子系 (ポリマー系) 材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0138】本実施例では、シャドーマスクを用いて蒸着法により EL 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層 (赤色発光層、緑色発光層及び青色発光層) を形成することで、カラー表示が可能となる。その他にも、色変換層 (CCM) とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の EL 表示装置とすることもできる。

【0139】EL 層 29 を形成したら、その上に陰極 30 を形成する。陰極 30 と EL 層 29 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で EL 層 29 と陰極 30 を連続成膜するか、EL 層 29 を不活性雰囲気中で形成し、大気解放しないで陰極 30 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式)

の成膜装置を用いることで上述のような成膜を可能とする。

【0140】なお、本実施例では陰極 30 として、LiF (フッ化リチウム) 膜と Al (アルミニウム) 膜の積層構造を用いる。具体的には EL 層 29 上に蒸着法で 1 nm 厚の LiF (フッ化リチウム) 膜を形成し、その上に 300 nm 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である MgAg 電極を用いても良い。そして陰極 30 は 31 で示される領域において配線 16 に接続される。配線 16 は陰極 30 に所定の電圧を与えるための電源供給線であり、導電性ペースト材料 32 を介して FPC 17 に接続される。

【0141】31 に示された領域において陰極 30 と配線 16 とを電気的に接続するために、層間絶縁膜 26 及び絶縁膜 28 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 26 のエッチング時 (画素電極用コンタクトホールの形成時) や絶縁膜 28 のエッチング時 (EL 層形成前の開口部の形成時) に形成しておけば良い。また、絶縁膜 28 をエッチングする際に、層間絶縁膜 26 まで一括でエッチングしても良い。この場合、層間絶縁膜 26 と絶縁膜 28 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0142】また、配線 16 はシール 19 と基板 10 との間を隙間 (但し接着剤 81 で塞がれている。) を通って FPC 17 に電気的に接続される。なお、ここでは配線 16 について説明したが、他の配線 14、15 も同様にしてシーリング材 18 の下を通して FPC 17 に電気的に接続される。

【0143】以上のような構成でなる EL 表示パネルにおいて、本願発明を用いることができる。ここで画素部のさらに詳細な断面構造の一例を図 28 (A) に、上面構造を図 29 (A) に、回路図を図 29 (B) に示す。図 28 (A)、図 29 (A) 及び図 29 (B) では共通の符号を用いるので互いに参照すれば良い。尚、図 28 (A)、図 29 (A)、(B) は画素部の一例であるので、この構造に限定される訳ではない。

【0144】図 28 (A) において、基板 2401 上に設けられたスイッチング用 TFT 2402 は本発明 (例えば、図 13 で示す) の n チャネル型 TFT を用いて形成される。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。或いは、また、本発明の p チャネル型 TFT を用いて形成しても構わない。

【0145】また、電流制御用TFT2403は本願発明のnチャネル型TFTを用いて形成される。このとき、スイッチング用TFT2402のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT2402のゲート電極39a、39bを電気的に接続するゲート配線である。

【0146】電流制御用TFT2403のしきい値電圧、オン電流、サブスレッショルド定数(S値)など特性が個々の画素毎にばらつくと、電流制御で駆動するEL素子の発光強度がばらつき、即ち画像表示に乱れを生じさせてしまう。ばらつきを低減させ、しきい値電圧などを所定の範囲内とするには本発明のように応力バランスを考慮したTFT構造を用いることが必要となる。また、電流制御用TFTはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極にオーバーラップするようにLDD領域を設ける構造が必要となる。

【0147】また、本実施例では電流制御用TFT2403をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。このように、アクティブマトリクス型EL表示装置は実施例3または実施例4、または実施例9に記載のTFTを用いると良好な特性が得られる。或いは、図示しないが、実施例1または実施例2で示した逆スタガ型のTFTを本実施例のアクティブマトリクス型EL表示装置に当てはめても良い。

【0148】また、図29(A)に示すように、電流制御用TFT2403のゲート電極37となる配線は2404で示される領域で、電流制御用TFT2403のドレイン配線40と絶縁膜を介して重なる。このとき、2404で示される領域ではコンデンサが形成される。このコンデンサ2404は電流制御用TFT2403のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線(電源線)2501に接続され、常に一定の電圧が加えられている。

【0149】スイッチング用TFT2402及び電流制御用TFT2403の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に

平坦化しておくことが望ましい。

【0150】また、43は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TFT2403のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0151】また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝(画素に相当する)の中に発光層44が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルbazol(PVK)系、ポリフルオレン系などが挙げられる。尚、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0152】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせるEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0153】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0154】本実施例では発光層45の上にPEDOT(ポリチオフェン)またはPAni(ポリアニリン)でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって(TFTの上方向に向かって)放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形

成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0155】陽極 47 まで形成された時点で EL 素子 2405 が完成する。なお、ここでいう EL 素子 2405 は、画素電極（陰極）43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。図 29 (A) に示すように画素電極 43 は画素の面積にはほぼ一致するため、画素全体が EL 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0156】ところで、本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と EL 素子とを遮断することであり、有機 EL 材料の酸化による劣化を防ぐ意味と、有機 EL 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより EL 表示装置の信頼性が高められる。

【0157】以上のように本願発明の EL 表示パネルは図 28 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 TFT と、ホットキャリア注入に強い電流制御用 TFT とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な EL 表示パネルが得られる。尚、本実施例の構成は、実施例 7 の電子機器の表示部として本実施例の EL 表示パネルを用いることは有効である。

【0158】〔実施例 11〕本実施例では、実施例 10 に示した画素部において、EL 素子 2405 の構造を反転させた構造について説明する。説明には図 28 (B) を用いる。なお、図 28 (A) の構造と異なる点は EL 素子の部分と電流制御用 TFT だけであるので、その他の説明は省略することとする。

【0159】図 28 (B) において、電流制御用 TFT 2601 は本願発明の p チャネル型 TFT を用いて形成される。作製プロセスは実施例 3、4、9 を参照すれば良い。本実施例では、画素電極（陽極）50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0160】そして、絶縁膜でなるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 52 が形成される。その上にはカリウムアセチルアセトネートでなる電子注入層 53、アルミニウム合金でなる陰極 54 が形成される。この場合、陰極 54 がパッシベーション膜としても機能する。こうして EL 素子 2602 が形成される。

【0161】本実施例の場合、発光層 53 で発生した光は、矢印で示されるように TFT が形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用 TFT 2601 は p チャネル型 TFT で

形成することが好ましい。尚、本実施例の構成は、実施例 1～4、9 の構成と自由に組み合わせて実施することが可能である。また、実施例 7 の電子機器の表示部として本実施例の EL 表示パネルを用いることは有効である。

【0162】〔実施例 12〕本実施例では、図 29

(B) に示した回路図とは異なる構造の画素とした場合の例について図 30 に示す。なお、本実施例において、2701 はスイッチング用 TFT 2702 のソース配線、2703 はスイッチング用 TFT 2702 のゲート配線、2704 は電流制御用 TFT、2705 はコンデンサ、2706、2708 は電流供給線、2707 は EL 素子とする。

【0163】図 30 (A) は、二つの画素間で電流供給線 2706 を共通とした場合の例である。即ち、二つの画素が電流供給線 2706 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0164】また、図 30 (B) は、電流供給線 2708 をゲート配線 2703 と平行に設けた場合の例である。なお、図 30 (B) では電流供給線 2708 とゲート配線 2703 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 2708 とゲート配線 2703 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0165】また、図 30 (C) は、図 30 (B) の構造と同様に電流供給線 2708 をゲート配線 2703 a、2703 b と平行に設け、さらに、二つの画素を電流供給線 2708 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 2708 をゲート配線 2703 a、2703 b のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。尚、本実施例の構成は、実施例 10 または 11 の構成と自由に組み合わせて実施することが可能である。また、実施例 10 の電子機器の表示部として本実施例の画素構造を有する EL 表示パネルを用いることは有効である。

【0166】〔実施例 13〕実施例 10 に示した図 29 (A)、図 29 (B) では電流制御用 TFT 2403 のゲートにかかる電圧を保持するためにコンデンサ 2404 を設ける構造としているが、コンデンサ 2404 を省略することも可能である。

【0167】実施例 10 の場合、電流制御用 TFT 2403 として図 28 (A) に示すような本願発明の n チャネル型 TFT を用いているため、ゲート絶縁膜を介してゲート電極（と重なるように設けられた LDD 領域を有

している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 2404 の代わりとして積極的に用いる点に特徴がある。

【0168】この寄生容量のキャパシタンスは上記ゲート電極と LDD 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる LDD 領域の長さによって決まる。また、図 30 (A)、(B)、(C) の構造においても同様にコンデンサ 2705 を省略することは可能である。尚、本実施例の構成は、実施例 1~4、9 の構成と自由に組み合わせて実施することが可能である。また、実施例 7 の電子機器の表示部として本実施例の画素構造を有する EL 表示パネルを用いることは有効である。

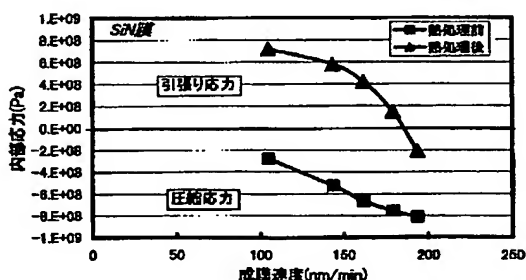
【0169】

【発明の効果】以上説明したように、基板上に形成された半導体膜を活性層とした半導体装置において、前記半導体膜と、該半導体膜に対し基板側に設けられる第 1 の絶縁層と基板側とは反対側に設けられる第 2 の絶縁層との間で応力バランスを考慮することにより、活性層中および活性層に接する絶縁層との界面における歪み、または欠陥の生成を低減することができる。その結果、高い電界効果移動度が得られ、また、熱や電界によるストレスの耐性をも向上させることにより高信頼性を有する半導体装置を実現することができる。

【図面の簡単な説明】

- 【図 1】 本実施形態の TFT の断面図。
- 【図 2】 本実施形態の TFT の断面図。
- 【図 3】 薄膜の内部応力の定義を説明する図。
- 【図 4】 本発明の応力バランスの概念を説明する図。
- 【図 5】 TFT の作製工程を示す断面図。
- 【図 6】 TFT の作製工程を示す断面図。
- 【図 7】 TFT の作製工程を示す断面図。
- 【図 8】 CMOS 回路の上面図、断面図、回路図。
- 【図 9】 TFT の作製工程を示す断面図。
- 【図 10】 TFT の作製工程を示す断面図、CMOS 回路の上面図。

【図 17】

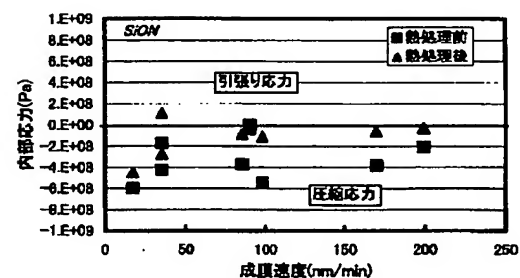


- 【図 11】 アクティブマトリクス基板の作製工程を示す断面図。
- 【図 12】 アクティブマトリクス基板の作製工程を示す断面図。
- 【図 13】 アクティブマトリクス基板の断面図。
- 【図 14】 アクティブマトリクス型液晶表示装置の断面図。
- 【図 15】 アクティブマトリクス基板の斜視図。
- 【図 16】 画素部の上面図、CMOS 回路の上面図。
- 【図 17】 窒化シリコン膜の内部応力の特性図。
- 【図 18】 酸化窒化シリコン膜の内部応力の特性図。
- 【図 19】 酸化窒化シリコン膜の内部応力の特性図。
- 【図 20】 酸化窒化シリコン膜の含有水素濃度の熱処理による変化を説明する特性図。
- 【図 21】 本発明の実施例を説明する図。
- 【図 22】 本発明の実施例を説明する図。
- 【図 23】 本発明の実施例を説明する図。
- 【図 24】 本発明の実施例を説明する図。
- 【図 25】 半導体装置の一例を示す図。
- 【図 26】 反強誘電性混合液晶の光透過率特性の一例を示す図。
- 【図 27】 EL 表示装置の構造を示す上面図及び断面図。
- 【図 28】 EL 表示装置の画素部の断面図。
- 【図 29】 EL 表示装置の画素部の上面図と回路図。
- 【図 30】 EL 表示装置の画素部の回路図の例。
- 【図 31】 半導体装置の一例を示す図。
- 【図 32】 半導体装置の一例を示す図。
- 【図 33】 半導体装置の一例を示す図。

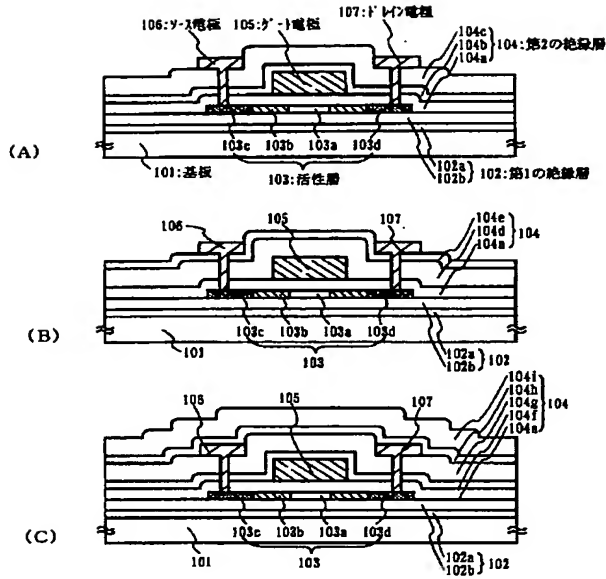
【符号の説明】

- 601 基板
- 603a、603b 第 1 の絶縁層
- 605 結晶質半導体層
- 611 第 2 の絶縁層
- 903、904 第 1 の絶縁層
- 908 第 2 の絶縁層

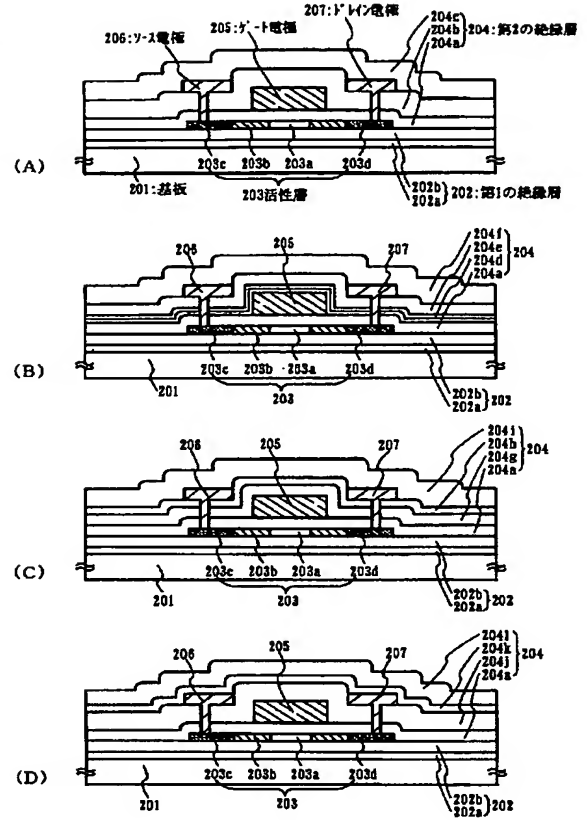
【図 18】



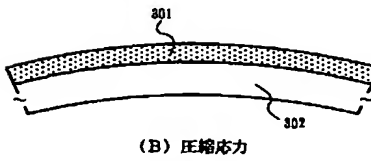
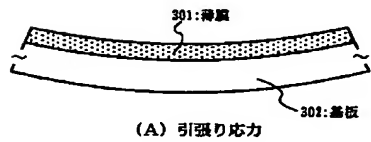
【図 1】



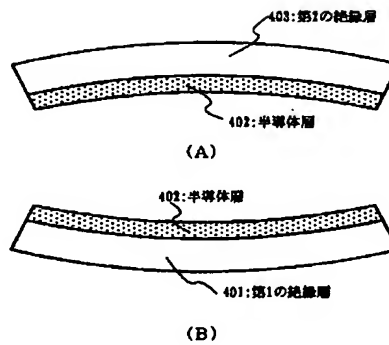
【図 2】



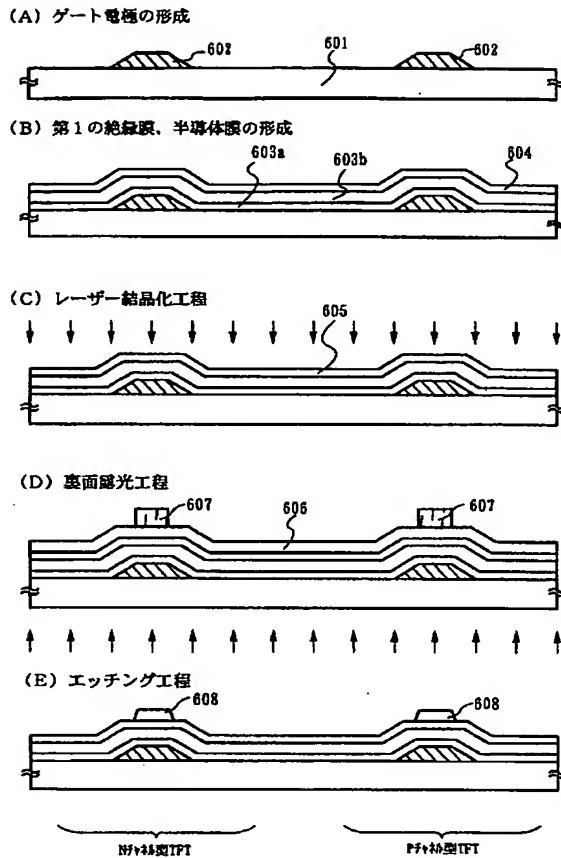
【図 3】



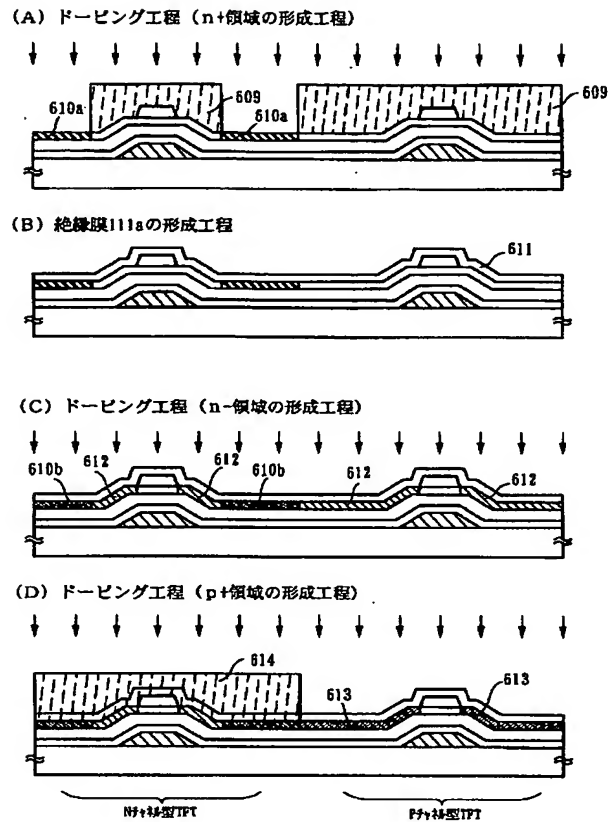
【図 4】



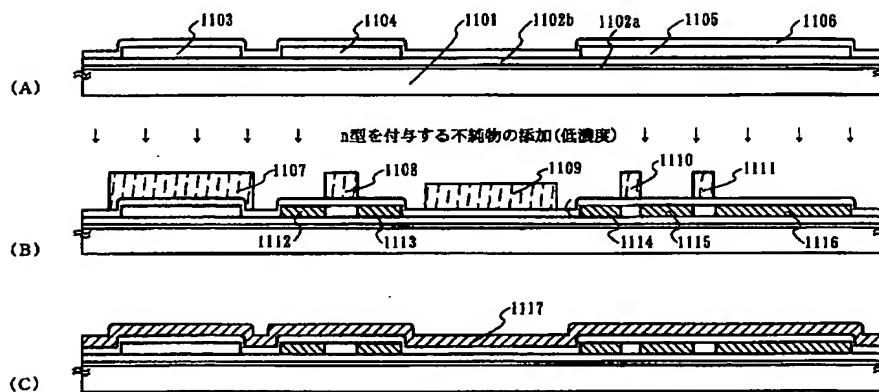
【図 5】



【図 6】



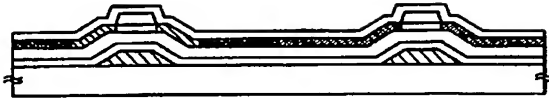
【図 11】



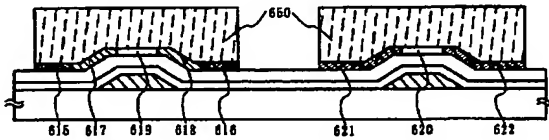
1101:基板、1102:第1の絶縁層、1103~1105:半導体層、1106:ゲート絶縁膜、
1107~1111:レジスタ

【図7】

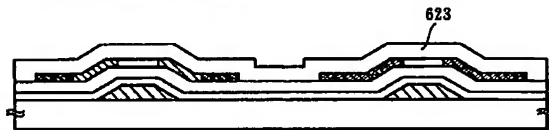
(A) 活性化工程



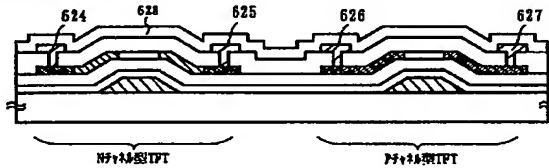
(B) パターニング工程



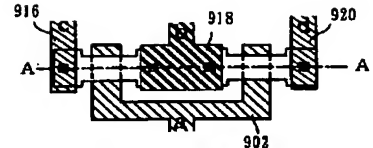
(C) 第2の絶縁膜の形成工程



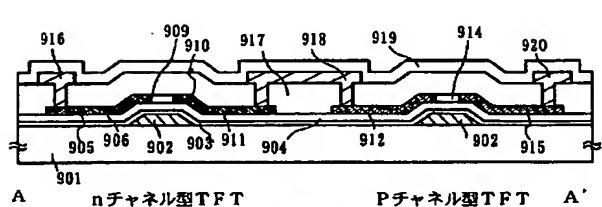
(D) ソース配線及びドレイン配線の形成工程



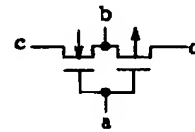
【図8】



(A) CMOS回路上面図

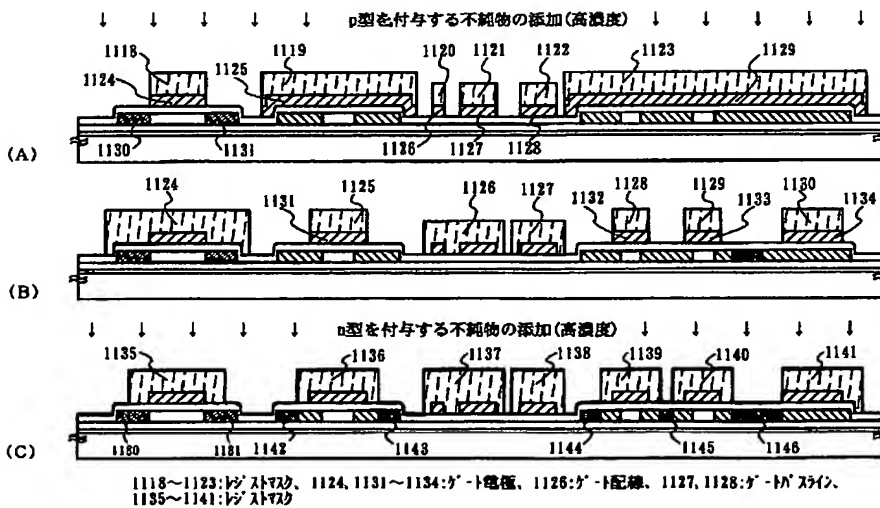


(B) A-A' 断面構造図

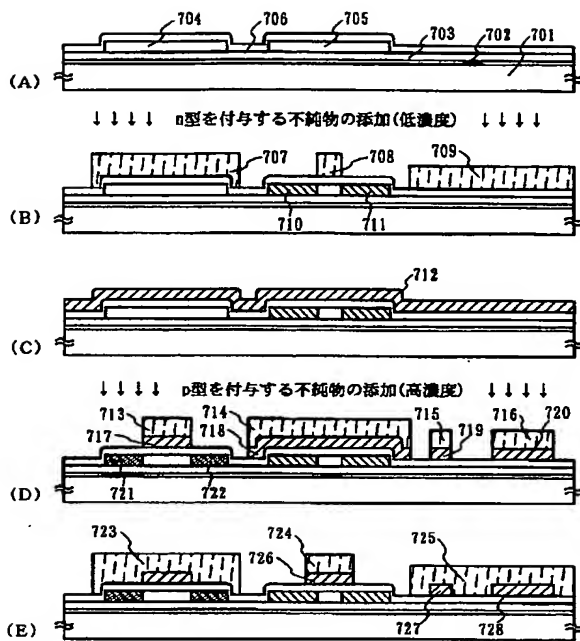


(C) CMOS回路図

【図12】

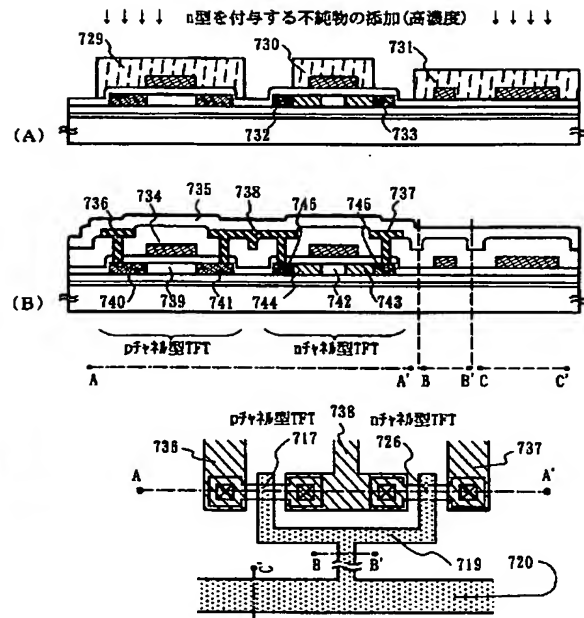


【図9】



701:基板、702:第1の絶縁層(SiO₂)、703:第1の絶縁層(SiO₂)、
704、705:半導体層、706:第2の絶縁層、
707~709、713~716、723~725:レジスタマスク、717:第2のゲート電極、
726:第1のゲート電極、727:配線電極、728:ゲートマスク

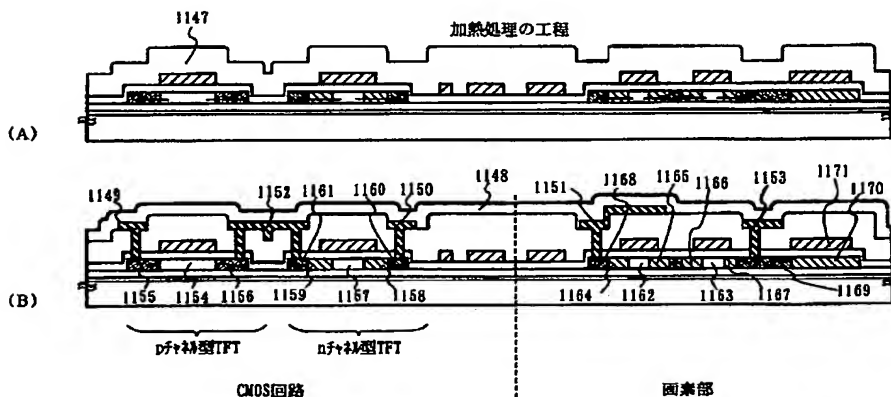
【図10】



(C) CMOS回路の上図図

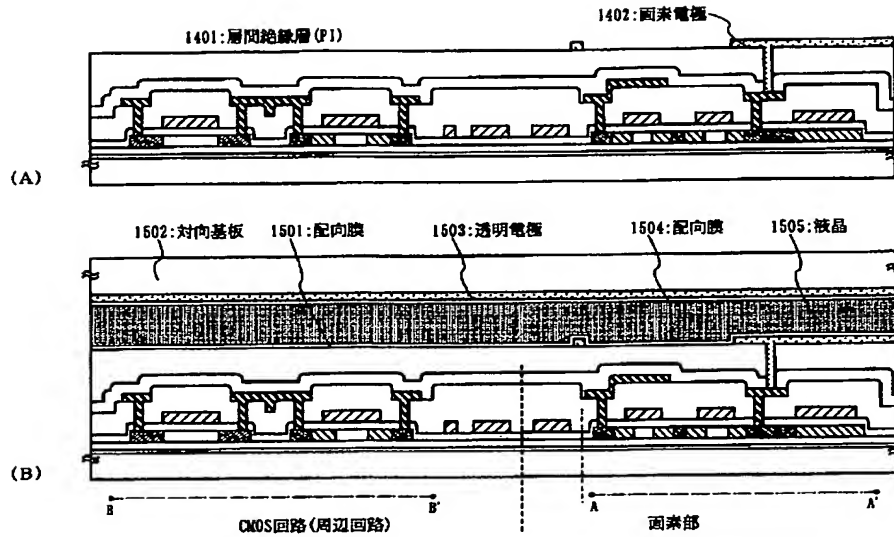
729~731:レジスタマスク、734:第2の絶縁層(SiO₂)、
735:第3の絶縁層(SiO₂)、736、737:ゲート電極、738:ドレイン電極、
739、742:チャネル形成領域、740:第3の不純物領域(p-λ)、
741:第3の不純物領域(ドレイン)、743、744:第2の不純物領域(LDD)、
745:第1の不純物領域、746:第1の不純物領域(ドレイン)

【図13】

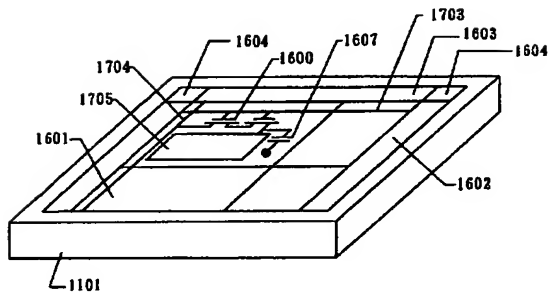


1147:第2の絶縁層(SiO₂)、1148:第2の絶縁層(SiO₂)、1149~1151:ゲート電極、1152、1153:ドレイン電極、
1154、1157、1162、1163:チャネル形成領域、1155:第3の不純物領域(p-λ)、1156:第3の不純物領域(ドレイン)、
1158、1159、1164~1167:第2の不純物領域(LDD)、1158、1168:第1の不純物領域(p-λ)、
1159、1169:第1の不純物領域(ドレイン)、1170:低濃度不純物領域

【図14】



【図15】

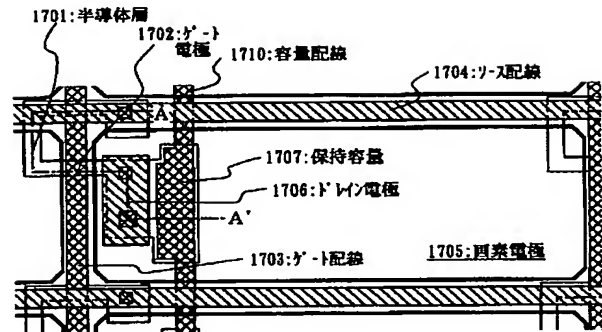


1101: 基板

1600: 画素TFT、1601: 画素マトリクス回路、1602: 走査(γ-)線駆動回路、1603: 信号(γ-)線駆動回路、1604: 信号回路

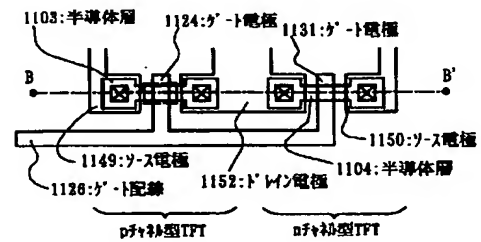
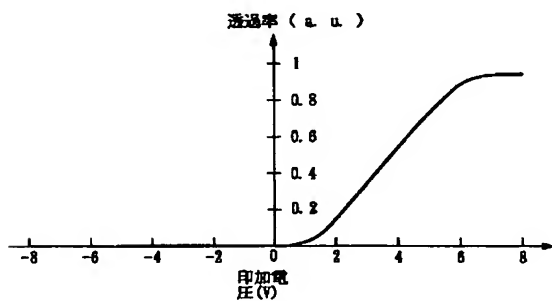
1703: γ-ト配線、1704: γ-ス配線、1705: 画素電極、1707: 保持容量

【図16】



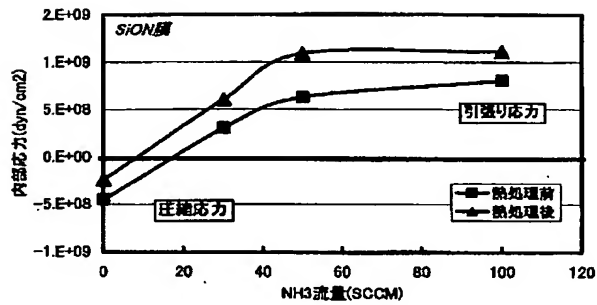
(A) 画素部上面図

【図26】

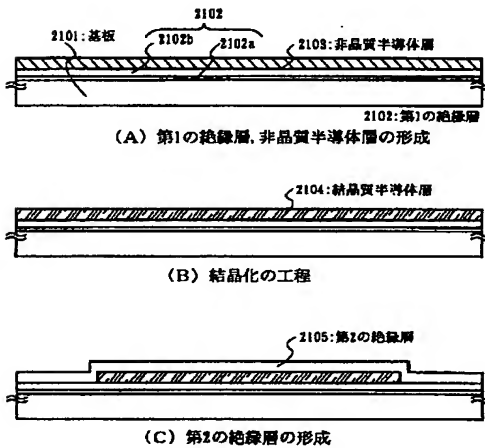


(B) CMOS回路上面図

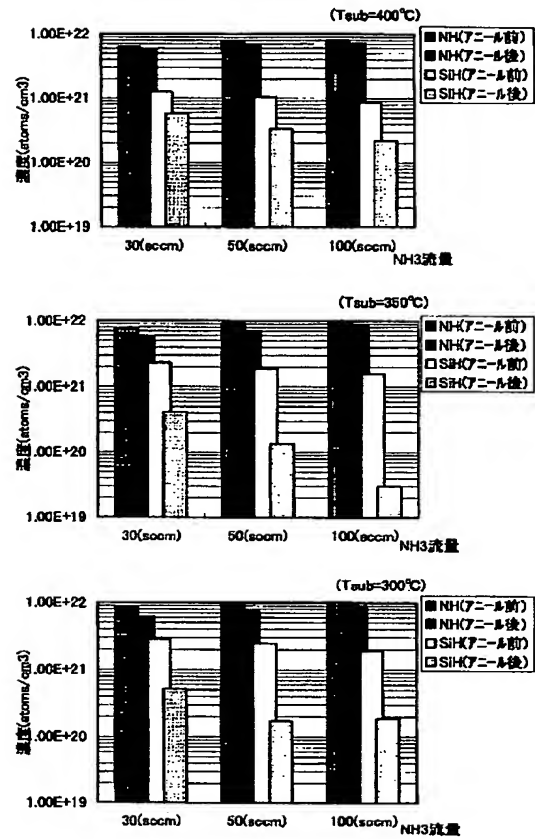
【図19】



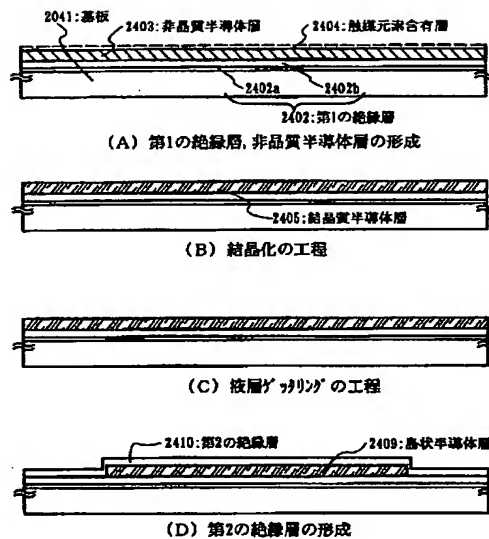
【図21】



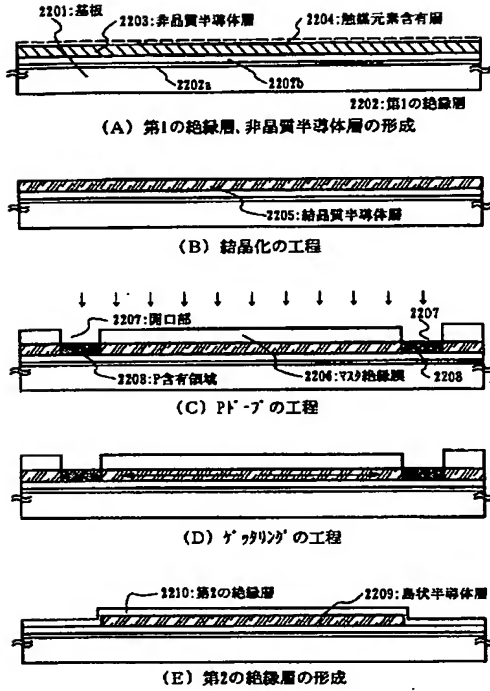
【図20】



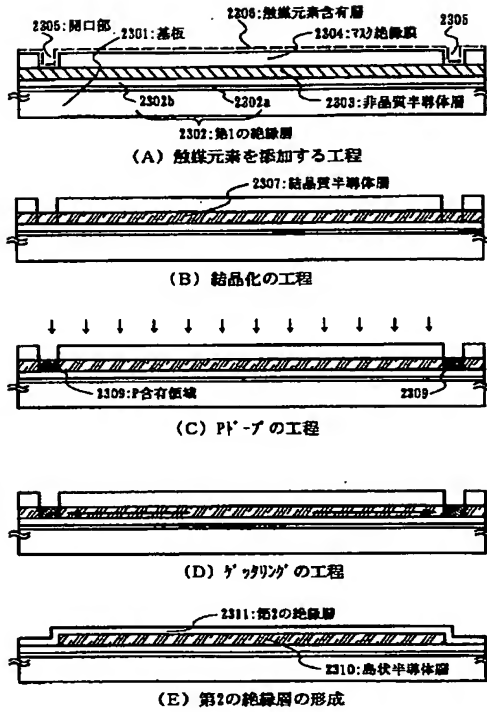
【図24】



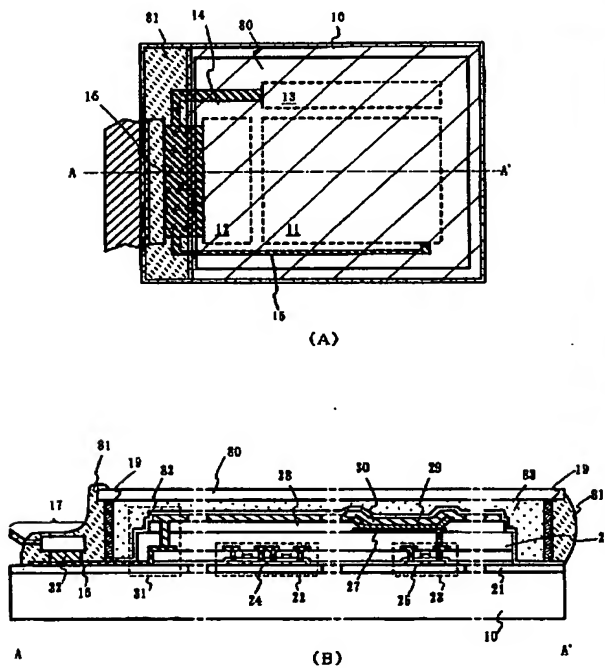
【図 22】



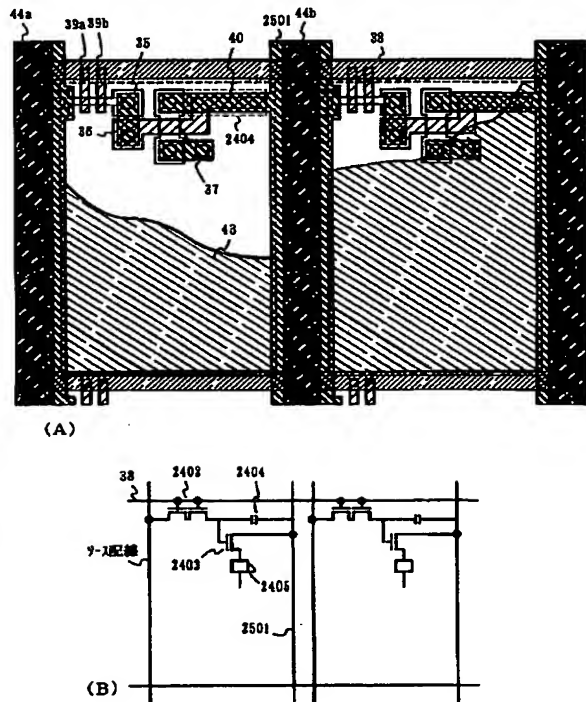
【図 23】



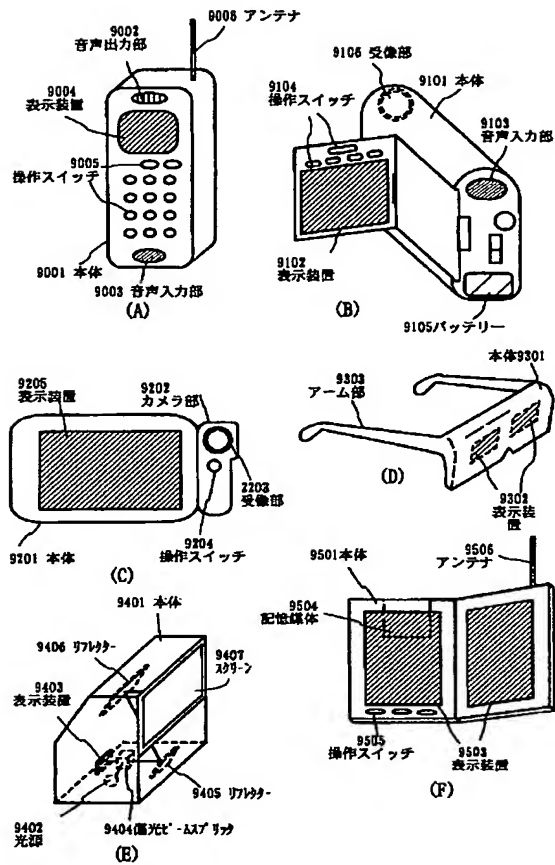
【図 27】



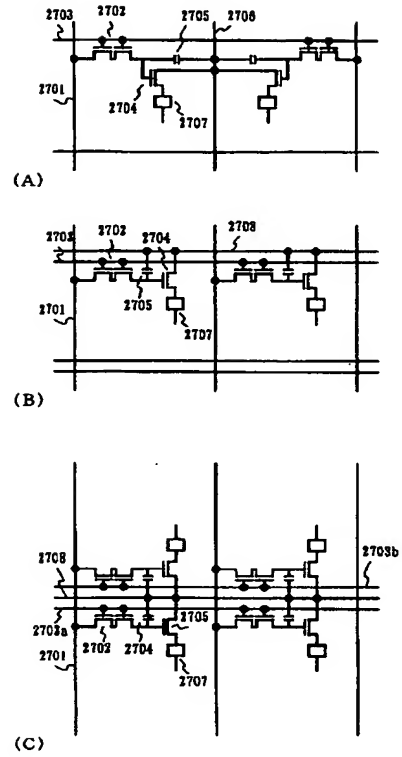
【図 29】



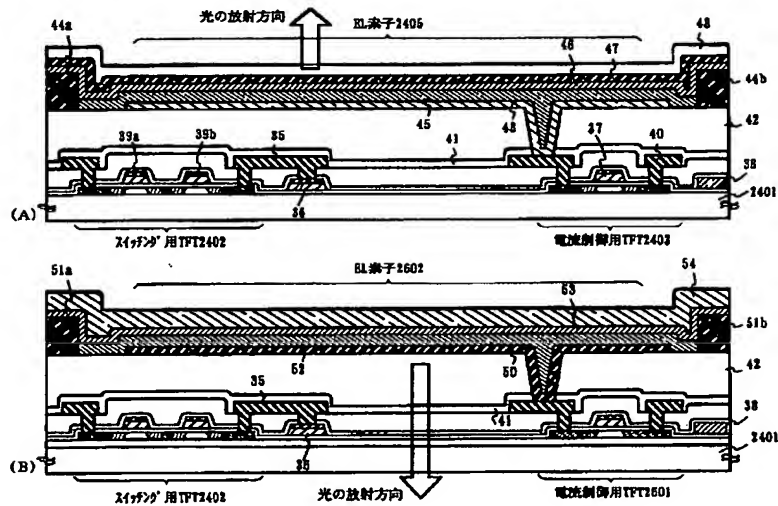
【図 25】



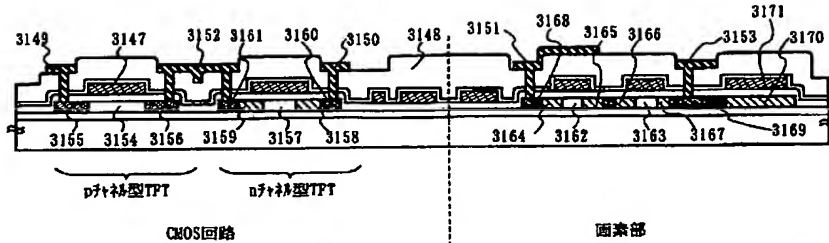
【図 30】



【図 28】

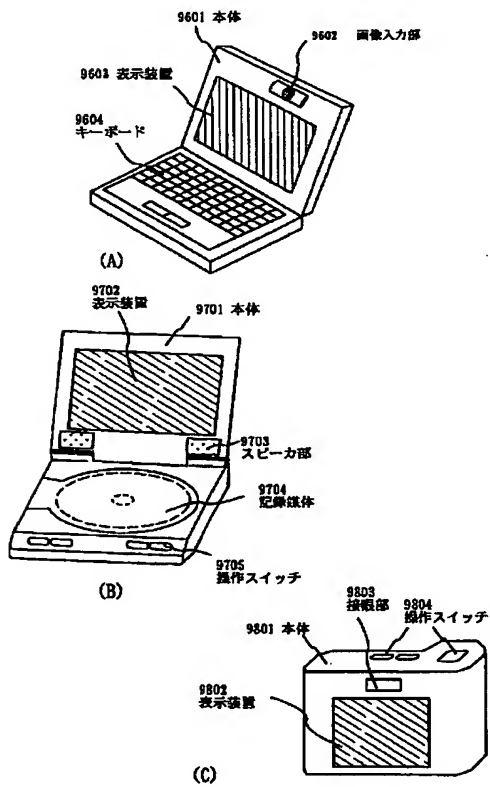


【図31】

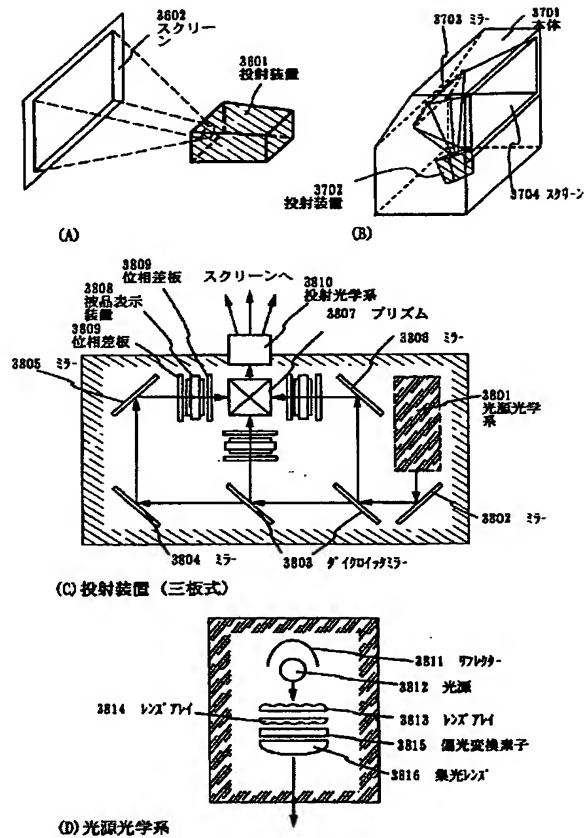


3147:第1の層間絶縁膜(SiN)、3148:第1の層間絶縁膜(SiO₂)、3149~3151:ゲート電極、3152, 3159:ドレイン電極、3154, 3157, 3162, 3163:チャネル形成領域、3155:第3の不純物領域(p-型)、3156:第3の不純物領域(n-型)、3158, 3159, 3164~3167:第2の不純物領域(LDD)、3158, 3168:第1の不純物領域(p-型)、3159, 3169:第1の不純物領域(n-型)、3170:低濃度不純物領域

【図32】



【図33】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I
H 0 1 L 29/78

テラード (参考)

6 1 7 U

(72) 発明者 河崎 律子
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 安達 広樹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 荒井 康行
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 坂本 直哉
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 早川 昌彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成15年5月23日(2003.5.23)

【公開番号】特開2000-269510(P2000-269510A)
【公開日】平成12年9月29日(2000.9.29)
【年通号数】公開特許公報12-2696
【出願番号】特願平11-372013
【国際特許分類第7版】

H01L 29/786
G02F 1/1368
H01L 21/318
27/146

【FI】

H01L 29/78 626 C
21/318 C
G02F 1/136 500
H01L 27/14 C
29/78 617 T
617 U

【手続補正書】

【提出日】平成15年2月7日(2003.2.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、前記第2の酸化窒化シリコン膜上に形成された結晶質半導体膜と、前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備えたことを特徴とする半導体装置。

【請求項2】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、

前記第2の酸化窒化シリコン膜上に形成された結晶質半導体膜と、

前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備え、

前記結晶質半導体膜は引張り応力を有し、前記第1の酸化窒化シリコン膜は引張り応力を有し、かつ前記第3の酸化窒化シリコン膜は圧縮応力を有していることを特徴とする半導体装置。

【請求項3】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、

前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、

前記第2の酸化窒化シリコン膜上に形成された結晶質半導体膜と、

前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備え、

前記第1の酸化窒化シリコン膜の含有窒素濃度が25atomic%以上50atomic%未満であることを特徴とする半導体装置。

【請求項4】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、

前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、

前記第2の酸化窒化シリコン膜上に形成された結晶質半

導体膜と、
前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備え、

前記第1の酸化窒化シリコン膜の含有窒素濃度が25 atomic %以上50 atomic %未満であり、前記第2の酸化窒化シリコン膜の含有窒素濃度が5 atomic %以上25 atomic %未満であり、前記第3の酸化窒化シリコン膜の含有窒素濃度が5 atomic %以上25 atomic %未満であることを特徴とする半導体装置。

【請求項5】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、
前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、

前記第2の酸化窒化シリコン膜上に形成され、チャネル形成領域、LDD領域、ソース領域及びドレイン領域が設けられた結晶質半導体膜と、

前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備えたことを特徴とする半導体装置。

【請求項6】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、
前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、

前記第2の酸化窒化シリコン膜上に形成され、チャネル形成領域、LDD領域、ソース領域及びドレイン領域が設けられた結晶質半導体膜と、

前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備え、

前記結晶質半導体膜は引張り応力を有し、前記第1の酸化窒化シリコン膜は引張り応力を有し、かつ前記第3の酸化窒化シリコン膜は圧縮応力を有していることを特徴とする半導体装置。

【請求項7】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、
前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、

前記第2の酸化窒化シリコン膜上に形成され、チャネル形成領域、LDD領域、ソース領域及びドレイン領域が設けられた結晶質半導体膜と、

前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備え、

前記第1の酸化窒化シリコン膜の含有窒素濃度が25 atomic %以上50 atomic %未満であることを特徴とする半導体装置。

【請求項8】基板上に形成された含有窒素濃度が含有酸素濃度よりも大きい第1の酸化窒化シリコン膜と、
前記第1の酸化窒化シリコン膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第2の酸化窒化シリコン膜と、

前記第2の酸化窒化シリコン膜上に形成され、チャネル形成領域、LDD領域、ソース領域及びドレイン領域が設けられた結晶質半導体膜と、

前記結晶質半導体膜上に形成された含有窒素濃度が含有酸素濃度よりも小さい第3の酸化窒化シリコン膜とを備え、

前記第1の酸化窒化シリコン膜の含有窒素濃度が25 atomic %以上50 atomic %未満であり、前記第2の酸化窒化シリコン膜の含有窒素濃度が5 atomic %以上25 atomic %未満であり、前記第3の酸化窒化シリコン膜の含有窒素濃度が5 atomic %以上25 atomic %未満であることを特徴とする半導体装置。

【請求項9】請求項3または請求項7において、前記第1の酸化窒化シリコン膜の含有窒素濃度はラザフォード後方散乱法(RBS)で測定した値であることを特徴とする半導体装置。

【請求項10】請求項4または請求項8において、前記第1の酸化窒化シリコン膜の含有窒素濃度、前記第2の酸化窒化シリコン膜の含有窒素濃度、及び前記第3の酸化窒化シリコン膜の含有窒素濃度はラザフォード後方散乱法(RBS)で測定した値であることを特徴とする半導体装置。

【請求項11】請求項1乃至請求項10のいずれか一項において、前記半導体装置は、液晶表示装置、EL表示装置、またはイメージセンサであることを特徴とする半導体装置。

【請求項12】請求項1乃至請求項11のいずれか一項において、前記半導体装置は、携帯電話、ビデオカメラ、携帯型情報端末、ゴーグル型ディスプレイ、プロジェクター、電子書籍、パーソナルコンピュータ、DVDプレーヤー、またはデジタルカメラであることを特徴とする半導体装置。